

PAT-NO: JP410270685A  
DOCUMENT-IDENTIFIER: JP 10270685 A  
TITLE: FIELD-EFFECT TRANSISTOR AND  
MANUFACTURE THEREOF, SEMICONDUCTOR DEVICE AND MANUFACTURE  
THEREOF AND LOGIC CIRCUIT CONTAINING SEMICONDUCTOR  
DEVICE THEREOF AND SEMICONDUCTOR SUBSTRATE  
PUBN-DATE: October 9, 1998

INVENTOR-INFORMATION:  
NAME  
NOGUCHI, TAKASHI  
SONEDA, MITSUO

ASSIGNEE-INFORMATION:  
NAME  
SONY CORP

COUNTRY  
N/A

APPL-NO: JP09074746  
APPL-DATE: March 27, 1997

INT-CL (IPC): H01L029/78, H01L021/8238 , H01L027/092

ABSTRACT:

PROBLEM TO BE SOLVED: To improve the performance of a transistor by increasing the mobility of the transistor while preventing the generation of junction leakage.

SOLUTION: When a transistor 1 is formed to a strain-effect silicon layer 24 of a semiconductor layer having a strain effect formed to the upper layer of a

semiconductor substrate 11, a source and a drain 14, 15 shaped only to the strain-effect silicon layer 24. The transistor 1 is formed as an N channel MOS transistor, and a P channel MOS transistor can also be formed to the strain-effect silicon layer 24 through an element isolation region. The logic circuit can also be constituted of these transistors.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-270685

(43) 公開日 平成10年(1998)10月9日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 29/78

H 0 1 L 29/78

3 0 1 J

21/8238

27/08

3 2 1 E

27/092

審査請求 未請求 請求項の数21 O L (全 17 頁)

(21) 出願番号

特願平9-74746

(22) 出願日

平成9年(1997)3月27日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 野口 ▲隆▼

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

(72) 発明者 曾根田 光生

東京都品川区北品川6丁目7番35号 ソニ

一株式会社内

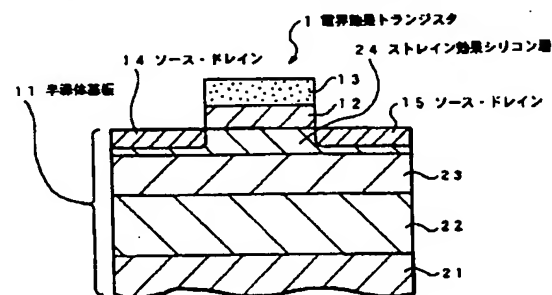
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 電界効果トランジスタとその製造方法、半導体装置とその製造方法、その半導体装置を含む論理回路および半導体基板

(57) 【要約】

【課題】 nMOSトランジスタやpMOSトランジスタでは、高性能低電圧での応用を考えた場合、バンドギャップの小さなシリコンゲルマニウム層内にソース・ドレインの接合が位置するため、またシリコン/シリコンゲルマニウム界面にソース・ドレインの接合が形成されるために、電流リークが存在していた。

【解決手段】 半導体基板11の上層に形成されているストレイン効果を有する半導体層のストレイン効果シリコン層24に形成された電界効果トランジスタ1であって、このソース・ドレイン14、15はストレイン効果シリコン層24のみに形成されているものである。また、この電界効果トランジスタ1をnチャネルMOSトランジスタとして形成し、素子分離領域を介して上記ストレイン効果シリコン層24にpチャネルMOSトランジスタを形成することも可能である。さらにこれらのトランジスタによって論理回路を構成することも可能である。



電界効果トランジスタに係わる第1実施形態の概略構成断面図

## 【特許請求の範囲】

【請求項1】 半導体基板上層に形成されているストレイ  
ン効果を有する半導体層に形成された電界効果トラン  
ジスタであって、

前記電界効果トランジスタのソース・ドレインは前記ス  
トレイン効果を有する半導体層のみに形成されているこ  
とを特徴とする電界効果トランジスタ。

【請求項2】 請求項1記載の電界効果トランジスタに  
おいて、

前記ストレイン効果を有する半導体層はストレイン効果  
を有するシリコン層からなることを特徴とする電界効果  
トランジスタ。

【請求項3】 請求項2記載の電界効果トランジスタに  
おいて、

前記ソース・ドレイン上に形成したシリコンエピタキシ  
ヤル層と、

前記シリコンエピタキシャル層に形成した高融点金属シ  
リサイド層とを備えたことを特徴とする電界効果トラン  
ジスタ。

【請求項4】 請求項2記載の電界効果トランジスタに  
おいて、

前記半導体基板は、  
シリコン基板と、

前記シリコン基板上に形成したものでゲルマニウム濃度  
を厚さ方向に変化させたシリコンゲルマニウムからなる  
バッファ層と、

前記バッファ層上に形成したもので応力が緩和されて  
いるシリコンゲルマニウムからなるリラックス層と、

前記リラックス層上に形成したストレイン効果を有する  
シリコン層とからなることを特徴とする電界効果トラン  
ジスタ。

【請求項5】 請求項3記載の電界効果トランジスタに  
おいて、

前記半導体基板は、  
シリコン基板と、

前記シリコン基板上に形成したものでゲルマニウム濃度  
を厚さ方向に変化させたシリコンゲルマニウムからなる  
バッファ層と、

前記バッファ層上に形成したもので応力が緩和されて  
いるシリコンゲルマニウムからなるリラックス層と、

前記リラックス層上に形成したストレイン効果を有する  
シリコン層とからなることを特徴とする電界効果トラン  
ジスタ。

【請求項6】 半導体基板の上層となるストレイン効果  
を有する半導体層を形成して該半導体基板を構成する工  
程と、

前記ストレイン効果を有する半導体層上にゲート絶縁膜  
を介してゲート電極を形成する工程と、

前記ゲート電極の両側における前記ストレイン効果を有  
する半導体層にソース・ドレインを形成するための不純

物をドーピングすることによってソース・ドレインを形  
成する工程とを備えたことを特徴とする電界効果トラン  
ジスタの製造方法。

【請求項7】 請求項6記載の電界効果トランジスタの  
製造方法において、

前記ストレイン効果を有する半導体層をストレイン効果  
を有するシリコン層で形成することを特徴とする電界効  
果トランジスタの製造方法。

【請求項8】 請求項7記載の電界効果トランジスタの  
製造方法において、

前記ソース・ドレインを形成した後に、該ソース・ドレ  
イン上にシリコンエピタキシャル層を形成する工程と、  
前記シリコンエピタキシャル層に高融点金属シリサイド  
層を形成する工程とを行うことを特徴とする電界効果ト  
ランジスタの製造方法。

【請求項9】 半導体基板上層に形成されているストレ  
イン効果を有する半導体層に形成されたpチャネル型電  
界効果トランジスタとnチャネル型電界効果トランジス  
タとからなる半導体装置であって、

前記pチャネル型電界効果トランジスタのソース・ドレ  
インおよびnチャネル型電界効果トランジスタのソース  
・ドレインは前記ストレイン効果を有する半導体層のみに  
形成されていることを特徴とする半導体装置。

【請求項10】 請求項9記載の半導体装置において、  
前記ストレイン効果を有する半導体層はストレイン効果  
を有するシリコン層からなることを特徴とする半導体装  
置。

【請求項11】 請求項10記載の半導体装置におい  
て、  
前記各ソース・ドレイン上に形成したシリコンエピタキ  
シャル層と、

前記シリコンエピタキシャル層に形成した高融点金属シ  
リサイド層とを備えたことを特徴とする半導体装置。

【請求項12】 請求項10記載の半導体装置におい  
て、

前記半導体基板は、  
シリコン基板と、

前記シリコン基板上に形成したものでゲルマニウム濃度  
を厚さ方向に変化させたシリコンゲルマニウムからなる  
バッファ層と、

前記バッファ層上に形成したもので応力が緩和されて  
いるシリコンゲルマニウムからなるリラックス層と、

前記リラックス層上に形成したストレイン効果を有する  
シリコン層とからなることを特徴とする半導体装置。

【請求項13】 請求項11記載の半導体装置におい  
て、

前記半導体基板は、  
シリコン基板と、

前記シリコン基板上に形成したものでゲルマニウム濃度  
を厚さ方向に変化させたシリコンゲルマニウムからなる

バッファ層と、

前記バッファ層上に形成したもので応力が緩和されているシリコンゲルマニウムからなるリラックス層と、  
前記リラックス層上に形成したストレイン効果を有するシリコン層とからなることを特徴とする半導体装置。

【請求項14】 半導体基板の上層となるストレイン効果を有するシリコン層を形成して該半導体基板を構成する工程と、

前記ストレイン効果を有するシリコン層上にゲート絶縁膜を介してpチャネル型電界効果トランジスタのゲート電極とnチャネル型電界効果トランジスタのゲート電極とを形成する工程と、

前記pチャネル型電界効果トランジスタのゲート電極の両側における前記ストレイン効果を有するシリコン層にp型拡散層からなるソース・ドレインを形成する工程と、

前記nチャネル型電界効果トランジスタのゲート電極の両側における前記ストレイン効果を有するシリコン層にn型拡散層からなるソース・ドレインを形成する工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項15】 請求項14記載の半導体装置の製造方法において、

前記各ソース・ドレインを形成した後に、該各ソース・ドレイン上にシリコンエピタキシャル層を形成する工程と、

前記シリコンエピタキシャル層に高融点金属シリサイド層を形成する工程とを行うことを特徴とする半導体装置の製造方法。

【請求項16】 pチャネル型電界効果トランジスタとnチャネル型電界効果トランジスタとを備えた半導体装置を含む論理回路において、

該論理回路を形成する半導体基板は、上層にストレイン効果を有するシリコン層が形成されている半導体基板からなり、

前記pチャネル型電界効果トランジスタのソース・ドレインは前記ストレイン効果を有するシリコン層のみに形成されているとともに、

前記nチャネル型電界効果トランジスタのソース・ドレインは前記ストレイン効果を有するシリコン層のみに形成されていることを特徴とする半導体装置を含む論理回路。

【請求項17】 ゲルマニウム基板と、

前記ゲルマニウム基板上に形成したもので応力が緩和されているシリコンゲルマニウム層からなるリラックス層と、

前記リラックス層上に形成したストレイン効果を有するシリコン層とからなることを特徴とする半導体基板。

【請求項18】 請求項2記載の電界効果トランジスタにおいて、

前記半導体基板は、

ゲルマニウム基板と、

前記ゲルマニウム基板上に形成したもので応力が緩和されているシリコンゲルマニウム層からなるリラックス層と、

前記リラックス層上に形成したストレイン効果を有するシリコン層とからなることを特徴とする電界効果トランジスタ。

【請求項19】 請求項3記載の電界効果トランジスタにおいて、

10 前記半導体基板は、

ゲルマニウム基板と、

前記ゲルマニウム基板上に形成したもので応力が緩和されているシリコンゲルマニウム層からなるリラックス層と、

前記リラックス層上に形成したストレイン効果を有するシリコン層とからなることを特徴とする電界効果トランジスタ。

【請求項20】 請求項10記載の半導体装置において、

20 前記半導体基板は、

ゲルマニウム基板と、

前記ゲルマニウム基板上に形成したもので応力が緩和されているシリコンゲルマニウム層からなるリラックス層と、

前記リラックス層上に形成したストレイン効果を有するシリコン層とからなることを特徴とする半導体装置。

【請求項21】 請求項11記載の半導体装置において、

前記半導体基板は、

30 ゲルマニウム基板と、

前記ゲルマニウム基板上に形成したもので応力が緩和されているシリコンゲルマニウム層からなるリラックス層と、

前記リラックス層上に形成したストレイン効果を有するシリコン層とからなることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電界効果トランジスタとその製造方法、半導体装置とその製造方法、その半導体装置を含む論理回路および半導体基板に関し、詳しくはストレイン効果を有するシリコン層にソース・ドレインを形成した電界効果トランジスタとその製造方法、その電界効果トランジスタを含む半導体装置とその製造方法、その半導体装置を含む論理回路およびそれらが形成される半導体基板に関する。

【0002】

【従来の技術】ストレイン（歪み）効果を用いた材料によるデバイスは、シリコン／シリコンゲルマニウムなどIV族半導体材料と薄膜形成技術の進歩により可能になってきており、現在、高機能、低電圧デバイスをめざし

た研究が非常に盛んである。上記ストレイン効果とは、薄膜半導体において、膜が応力を受けた場合、エネルギーバンドが歪み、キャリアの有効質量が変化することをいう。このストレイン効果を有する半導体薄膜は、分子線エピタキシー技術、超高真空中における化学的気相成長(UHV-CVD)技術等によって、例えばシリコン/シリコンゲルマニウムなどの多層膜を工夫して膜の内部応力を制御することで形成することが可能になってきている。このように、バンドギャップ差や膜のストレインをヘテロ接合により制御することで高性能MOS系デバイス、センサ等の開発も進んできている。

【0003】シリコン膜の場合、ゾーンメルト法、アルゴンイオンレーザの照射による単結晶シリコン膜の形成技術等により形成されるSOI (Silicon on insulator) 基板のシリコン膜では引張応力を受けることになる。一方、SOS (Silicon on Sapphire) 基板のシリコン膜では圧縮応力を受けることになる。その結果、前者では、電子の移動度が大きくなり、後者では、正孔の移動度が大きくなる。言い換えれば、前者では、正孔の移動度が小さくなり、後者では、電子の移動度が小さくなる。

【0004】また、シリコン系MOS (Metal-Oxide-Semiconductor) トランジスタの場合、具体的にいえば、応力が緩和されている、いわゆるリラクセスした状態のシリコンゲルマニウムのエピタキシャル層上にシリコン膜を堆積すると引張応力で電子の移動度の向上が図れる(厳密にいうと6つに縮退したバンドが有効質量の異なる2つのバンドに分かれると説明されている)。一方、ゲルマニウムを多く含むシリコンゲルマニウム(いわゆる、ゲルマニウムリッチなシリコンゲルマニウム)膜を形成すると圧縮応力により正孔の移動度の向上が図れる。

【0005】このようなストレイン効果シリコン層の性質に基づいて、多層膜を形成してチャンネルとなる層の応力を制御して作製したMOSトランジスタでは、高い相互コンダクタンス[ $gm(mobility)$ ]の結果が得られている。Appl. Phys. Letter (USA), 63 (1993) S.P.Voinigensen et al., p660 およびIEEE Electronic Devices (USA), 43 (1996) L.H.Jiang and R.G.Elliman, p97 にはpMOSトランジスタが開示されている。また、Appl. Phys. Letter (USA), 64 (1994) K.Ismail et al., p3124 およびIEDM 94-37 (USA), (1994) J.Welser et al. にはnMOSトランジスタが開示されている。

【0006】一方、低電圧動作を行う最先端の高性能ロジック(LOGIC)としてバストラジスタが提案されていて、CPU (Central Processing Unit)、MPEG (Moving Picture Experts Group) などの最先端の応用技術分野での提案がなされている。このようなロジック回路では、主体となるnMOSトランジスタは低電圧

動作で高い相互コンダクタンスを有するような高性能な特性が要求されている。一方、pMOSトランジスタは、プリチャージ的な使い方などで素子数は少なく、nMOSトランジスタほどの動作速度は要求はされず、チャンネル幅Wの調整で性能を決定しても面的には不利になっていない。

【0007】

【発明が解決しようとする課題】しかしながら、上記説明したような従来の技術におけるpMOSトランジスタやnMOSトランジスタでは、高性能低電圧での応用を考えた場合、バンドギャップの小さなシリコンゲルマニウム層にソース・ドレインの接合が位置するため、またシリコン/シリコンゲルマニウム界面にソース・ドレインの接合が形成されるために、リークの存在が課題となる。

【0008】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた電界効果トランジスタおよびその製造方法、半導体装置およびその製造方法、その半導体装置を含む論理回路ならびに半導体基板である。

【0009】電界効果トランジスタは、半導体基板上層に形成されているストレイン効果を有する半導体層であるシリコン層(以下ストレイン効果シリコン層という)に形成されたものであって、この電界効果トランジスタのソース・ドレインがストレイン効果シリコン層のみに形成されているものである。

【0010】上記電界効果トランジスタでは、ソース・ドレインがストレイン効果シリコン層のみに形成されていることから、ソース・ドレインの接合はストレイン効果シリコン層内に存在することになる。そのため、接合リークの発生が起きにくくなる。

【0011】電界効果トランジスタの製造方法は、半導体基板の上層となるストレイン効果を有する半導体層であるシリコン層(ストレイン効果シリコン層)を形成してこの半導体基板を構成する。その後、ストレイン効果シリコン層上にゲート絶縁膜を介してゲート電極を形成する。そしてゲート電極の両側におけるストレイン効果を有するシリコン層にソース・ドレインを形成するための不純物をドーピングすることによってソース・ドレインを形成するという工程を備えた製造方法である。

【0012】上記電界効果トランジスタの製造方法では、ストレイン効果シリコン層のみに電界効果トランジスタのソース・ドレインを形成することから、ソース・ドレインの接合はストレイン効果シリコン層内のみに形成されることになる。そのため、接合リークの発生が抑制される。

【0013】半導体装置は、上記説明したような電界効果トランジスタを含むものであり、半導体基板上に形成されているストレイン効果を有する半導体層であるシリコン層(ストレイン効果シリコン層)に形成されたpチ

10

20

30

40

50

ャネル型電界効果トランジスタとnチャネル型電界効果トランジスタとからなるものであって、pチャネル型、nチャネル型電界効果トランジスタの各ソース・ドレインはストレイン効果シリコン層のみに形成されているものである。

【0014】上記半導体装置では、pチャネル型、nチャネル型電界効果トランジスタの各ソース・ドレインともにストレイン効果シリコン層のみに形成されていることから、各ソース・ドレインの接合はストレイン効果シリコン層内に存在することになる。そのため、接合リークが発生しにくくなる。また一つのストレイン効果シリコン層に各ソース・ドレインが形成されていることから、従来のCMOS構造とほぼ同等の構造となる。そのため、構造が簡単になる。

【0015】半導体装置の製造方法は、半導体基板の上層となるストレイン効果シリコン層を形成してこの半導体基板を構成する。そのストレイン効果シリコン層上にゲート絶縁膜を介してpチャネル型電界効果トランジスタのゲート電極とnチャネル型電界効果トランジスタのゲート電極とを形成する。そしてpチャネル型電界効果トランジスタのゲート電極の両側におけるストレイン効果シリコン層にp型拡散層からなるソース・ドレインを形成する。またnチャネル型電界効果トランジスタのゲート電極の両側におけるストレイン効果シリコン層にn型拡散層からなるソース・ドレインを形成するという工程を備えている。

【0016】上記半導体装置の製造方法では、ストレイン効果シリコン層のみにpチャネル型、nチャネル型電界効果トランジスタの各ソース・ドレインを形成することから、各ソース・ドレインの接合はストレイン効果シリコン層内のみに形成される。そのため、各ソース・ドレインでの接合リークの発生が抑制される。また一つのストレイン効果シリコン層に各ソース・ドレインを形成することから、各ソース・ドレインに対応したチャネル形成層を製造する必要がないので、製造プロセスが簡単になる。

【0017】論理回路は、上記説明したようなpチャネル型電界効果トランジスタとnチャネル型電界効果トランジスタとを備えた半導体装置を含むものであって、論理回路を形成する半導体基板は、上層にストレイン効果シリコン層が形成されているものからなる。pチャネル型、nチャネル型電界効果トランジスタの各ソース・ドレインはストレイン効果シリコン層のみに形成されているものである。

【0018】上記論理回路では、各電界効果トランジスタのソース・ドレインが半導体基板の上層のストレイン効果シリコン層のみに形成されていることから、各ソース・ドレインの接合はストレイン効果シリコン層内に存在することになる。そのため、接合リークが発生しにくくなる。

【0019】半導体基板は、ゲルマニウム基板と、そのゲルマニウム基板上に形成したもので応力が緩和されているシリコンゲルマニウム層からなるリラックス層と、そのリラックス層上に形成したストレイン効果シリコン層とからなるものである。

【0020】上記半導体基板では、ゲルマニウム基板を用いていることから、ゲルマニウム基板上にバッファ層を形成することなく直接に応力が緩和されているシリコンゲルマニウム層からなるリラックス層を形成することが可能になっている。すなわち、ゲルマニウム基板とリラックス層との間で格子不整合が起き難いため、上記構成を採用することが可能になる。そのため、半導体基板の構造が簡単化され、この半導体基板を形成するプロセスも簡単化される。

【0021】

【発明の実施の形態】本発明の電界効果トランジスタに係わる第1実施形態の一例を、図1の概略構成断面図によって説明する。図1では、一例として絶縁ゲート型のn-MOSFETを示す。

【0022】図1に示すように、シリコン基板21上にはゲルマニウム濃度を厚さ方向に変化させたp<sup>-</sup>型のシリコンゲルマニウム(Si<sub>1-x</sub>Ge<sub>x</sub>)からなるバッファ層22と、応力が緩和されているp<sup>-</sup>型のシリコンゲルマニウム(Si<sub>1-x</sub>Ge<sub>x</sub>)からなるリラックス層23とが順に形成されている。

【0023】上記シリコン基板21は、例えばチョクラルスキー(CZ)法により引き上げられたp<sup>-</sup>型シリコンからなる。また上記バッファ層22は、例えば、シリコン基板21側より上層側に向けてゲルマニウムの組成をx=0.04からx=0.3に変化させたシリコンゲルマニウムからなり、例えばおよそ1.6μmの厚さに形成されている。また上記リラックス層23は、例えば、ゲルマニウムの組成がx=0.3のシリコンゲルマニウムからなり、およそ0.6μmの厚さに形成されている。

【0024】さらにこのリラックス層23上にはストレイン効果を有する半導体層となるストレイン効果シリコン層24が、一例として13nmの厚さに形成されている。このストレイン効果シリコン層24は、ストレイン効果を引き出せる厚さとして、例えば5nm~30nm程度の厚さ、好ましくは5nm~15nm程度の厚さに形成されていけばよい。上記の如く、電界効果トランジスタ1が形成される半導体基板11が構成されている。

【0025】この半導体基板11に、以下に説明する電界効果トランジスタ1が形成されている。すなわち、上記ストレイン効果シリコン層24上には、ゲート絶縁膜12を介してゲート電極13が形成され、このゲート電極13の両側におけるストレイン効果シリコン層24の上層にはソース・ドレイン14、15が形成されている。上記ゲート絶縁膜12は、例えば厚さが6nmの酸

化シリコンからなり、上記ゲート電極13は、例えばポリシリコンからなる。また上記ソース・ドレイン14、15は、例えば接合深さが5nm程度に形成されている。したがって、このソース・ドレイン14、15は厚さが13nmのストレイン効果シリコン層24のみに形成されていることになる。上記の如くに、電界効果トランジスタ1が構成されている。

【0026】ここで上記ストレイン効果を説明する。ストレイン効果とは、薄膜半導体において、その薄膜半導体が応力を受けた場合、そのエネルギーバンドが歪むことによってキャリアの有効質量が変化することを行い、引張応力を受けると電子の移動度が大きくなり（正孔の移動度が小さくなり）、圧縮応力を受けると正孔の移動度が大きくなる（電子の移動度が小さくなる）という現象のことである。

【0027】上記電界効果トランジスタ1では、ソース・ドレイン14、15（接合深さが5nm）が厚さが13nmのストレイン効果シリコン層24のみに形成されていることから、ソース・ドレイン14、15の接合はストレイン効果シリコン層24内に存在することになる。そのため、電界効果トランジスタ1の接合リークの発生が抑制される。またストレイン効果シリコン層24は、シリコンと下地のシリコンゲルマニウムからなるリラックス層23との格子定数の相違によりシリコンネットワークは引張応力を受ける。このストレイン効果シリコン層24に電界効果トランジスタ1のチャネル層が形成されることになるため、伝導帯の底の縮退がとけ、電子はその有効質量が小さくなり、移動度は2倍近くに増大する。したがって、nMOSトランジスタとして電界効果トランジスタ1の相互コンダクタンス $g_m$ は2倍近くに向上される。

【0028】次に電界効果トランジスタに係わる第2実施形態の一例を、図2の概略構成断面図によって説明する。図2では、前記図1で説明したのと同様の構成部品には同一符号を付す。

【0029】図2に示すように、電界効果トランジスタ2は、図1によって説明した電界効果トランジスタ1において、ソース・ドレイン14、15上に、いわゆる積み上げソース・ドレイン（またはエレベーターソース・ドレインともいう）31、32を形成したものである。この積み上げソース・ドレイン31、32は、ソース・ドレイン14、15上に形成されているシリコンエピタキシャル層33、34と、そのシリコンエピタキシャル層33、34に形成されている高融点金属シリサイド層35、36とからなる。上記シリコンエピタキシャル層33、34は例えば50nm程度の厚さに形成されている。

【0030】なお、ゲート電極13上にはオフセット絶縁膜16が形成されており、このゲート電極の側壁にはサイドウォール絶縁膜17、18が形成されている。こ

れによって、ゲート電極13と積み上げソース・ドレイン31、32とのショートを防止している。また上記ソース・ドレイン14、15は、サイドウォール絶縁膜17、18下のストレイン効果シリコン層24に低濃度拡散層を形成したLDD（Lightly Doped Drain）構造としてもよい。また、ゲート電極13がポリサイド構造で形成されていてもよい。このポリサイド構造では、上記オフセット絶縁膜16は形成されない。

【0031】上記電界効果トランジスタ2では、積み上げソース・ドレイン31、32を形成したことにより、ソース・ドレイン14、15をシリサイド化することなく、ソース・ドレイン14、15のシート抵抗を低減することが可能になる。その結果、電界効果トランジスタ2の高速動作がより安定に可能になる。

【0032】次に、本発明の電界効果トランジスタの製造方法に係わる第1実施形態の一例を、図3の製造工程図によって説明する。図3では、前記図1で説明したのと同様の構成部品には同一符号を付す。

【0033】図3の（1）に示すように、超高真空化学的気相成長（UHV-CVD）法、分子線エピタキシー（MBE（Molecular Beam Epitaxy））等のエピタキシャル成長技術によって、シリコン基板21上にゲルマニウム濃度を厚さ方向に変化させた $p^-$ 型のシリコンゲルマニウム（ $Si_{1-x}Ge_x$ ）からなるバッファ層22を、例えば、シリコン基板21側より上層側に向けてゲルマニウムの組成を $x=0.04$ から $x=0.3$ に変化させてシリコンゲルマニウムを堆積することにより1.6 $\mu m$ の厚さに形成する。上記シリコン基板21には、例えばチョクラルスキー（CZ（Czochralski））法により引き上げられた $p^-$ 型シリコン基板を用いる。

【0034】さらに上記バッファ層22上に応力が緩和されている $p^-$ 型のシリコンゲルマニウムからなるリラックス層23を、例えばゲルマニウムの組成が $x=0.3$ のシリコンゲルマニウムを、例えば0.6 $\mu m$ の厚さに堆積して形成する。そしてこのリラックス層23上にストレイン効果を有する半導体層となるストレイン効果シリコン層24を、一例として13nmの厚さに形成する。このストレイン効果シリコン層24は、ストレイン効果を引き出せる厚さ、例えば5nm～30nmの厚さ、好ましくは5nm～15nmの厚さに形成されていれればよい。上記ストレイン効果シリコン層24の成膜条件としては、例えばUHV-CVD法を採用した場合には、原料ガスに、例えばモノシラン（ $SiH_4$ ）（流量：20sccm）またはジシラン（ $Si_2H_6$ ）（流量：5sccm）を用いて、成膜雰囲気圧力を1.3 $\mu Pa$ 、基板温度をおよそ600℃に設定して膜形成を行った。なお、sccmは標準状態における体積流量（ $cm^3/分$ ）を表す。

【0035】なお、上記バッファ層22、リラックス層23およびストレイン効果シリコン層24を同一チャ



11

ンバ内で連続して形成することが好ましい。この場合には、原料ガスにモノシラン ( $\text{SiH}_4$ ) とゲルマン ( $\text{GeH}_4$ )、またはジシラン ( $\text{Si}_2\text{H}_6$ ) とゲルマン ( $\text{GeH}_4$ ) とを用い、それぞれのガス比を適宜変更することによって、所望の成分比のシリコンゲルマニウム層を形成することにより、上記バッファ層22およびリラックス層23を形成した後、ゲルマンの供給を止めてモノシランまたはジシランを用いてストレイン効果シリコン層24を形成する。

【0036】上記方法により形成したストレイン効果シリコン層24には、シリコンゲルマニウム層(リラックス層23)とシリコン層(ストレイン効果シリコン層24)との格子定数の違いにより引張応力が生じている。このようにして、半導体基板11を形成する。

【0037】次いで図3の(2)に示すように、ストレイン効果シリコン層24上にゲート絶縁膜12を酸化シリコンで形成する。続いてCVD法によってポリシリコンを堆積してゲート電極膜41(2点鎖線で示す部分も含む)を形成した後、レジスト塗布によるレジスト膜(図示省略)の形成、リソグラフィー技術によりレジスト膜をパターニングしてレジストマスク(図示省略)の形成、そのレジストマスクをエッチングマスクに用いたエッチング技術によってゲート電極膜41でゲート電極13を形成する。このエッチングではゲート絶縁膜12の2点鎖線で示す部分もエッチングされる。

【0038】その後図3の(3)に示すように、ゲート電極13をマスクにしたイオン注入法によって、そのゲート電極13の両側におけるストレイン効果シリコン層24にソース・ドレインを形成するための不純物をイオン注入して、ストレイン効果シリコン層24の上層にn型のソース・ドレイン14、15を形成する。

【0039】上記イオン注入条件としては、例えば、不純物にヒ素イオン ( $\text{As}^+$ ) を用いた場合には、打ち込みエネルギーを5 keVとしてヒ素イオンの投影飛程を6 nmに設定し、ドーズ量を  $5 \times 10^{15}$  個/cm<sup>2</sup> に設定した。その後、活性化アニーリングを行う。このアニーリング条件としては、ファーネスアニーリングの場合には、例えばアニーリング温度を800℃、アニーリング時間を20分に設定する。また急速加熱アニーリング(RTA: Rapid Thermal Annealing)を、例えばELA (Excimer Laser Annealing) によって行う場合には、例えば照射レーザー光のエネルギーを1 J/cm<sup>2</sup> に設定する。またこのような活性化アニーリングを行うことによって、浅い接合のソース・ドレイン14、15(接合深さが6 nm程度)が形成される。なお、上記アニーリングは、浅い接合を確実に形成するためにはRTAによって行うことが好ましい。このようにして、電界効果トランジスタ1が形成される。

【0040】なお、上記ソース・ドレイン14、15はイオン注入により形成したが、例えばレーザドーピング

12

グ、気相ドーピング、固相ドーピング等の方法を用いて形成することも可能である。

【0041】上記電界効果トランジスタの製造方法では、ストレイン効果シリコン層24のみに電界効果トランジスタ1のソース・ドレイン14、15を形成することから、ソース・ドレイン14、15の接合はストレイン効果シリコン層24内のみに形成されることになる。そのため、この製造方法によって形成される電界効果トランジスタ1は接合リークの発生が抑制されたものとなる。

【0042】次に電界効果トランジスタの製造方法に係わる第2実施形態の一例を、図4の製造工程図によって説明する。図4では、前記図3で説明したのと同様の構成部品には同一符号を付す。

【0043】前記図3によって説明した電界効果トランジスタの製造方法において、ゲート電極膜41を形成した後、図4の(1)に示すように、ゲート電極13となるゲート絶縁膜(41)上にオフセット絶縁膜16を形成してから、ゲートのパターニングを行う。次いで、ソース・ドレイン14、15を形成し、その後サイドウォール絶縁膜17、18を形成する。その後、選択的にエピタキシャル成長法によって、ソース・ドレイン14、15上に選択的にシリコンを堆積してシリコンエピタキシャル層33、34を、例えば50 nm程度の厚さに形成する。なお、上記ソース・ドレイン14、15をLDD (Lightly Doped Drain) 構造とする場合には、ゲートのパターニングを行った後、LDD構造を形成する低濃度拡散層を、後に形成されるサイドウォール絶縁膜の下部のストレイン効果シリコン層24に、例えばイオン注入により形成する。次いで、ゲート電極13の側壁にサイドウォール絶縁膜17、18を形成してから上記ソース・ドレイン14、15の高濃度領域を形成する。

【0044】次いで図4の(2)に示すように、シリコンエピタキシャル層33、34側の全面に高融点金属層37を例えばスパッタリングまたは化学的気相成長(CVD)法によって形成する。その後、熱処理(例えばRTA)を行って、シリコンエピタキシャル層33、34のシリコンと高融点金属層37の金属とを反応させて、シリコンエピタキシャル層33、34に高融点金属シリサイド層35、36を形成する。上記高融点金属層37は、例えばチタン層で形成する。この場合には、上記高融点金属シリサイド層35、36はチタンシリサイド層になる。その後、例えばエッチングによって、オフセット絶縁膜16上およびサイドウォール絶縁膜17、18上の未反応な高融点金属層37(2点鎖線で示す部分)を除去する。このようにして、ソース・ドレイン14、15上に、シリコンエピタキシャル層33、34に形成した高融点金属シリサイド層35、36からなる積み上げソース・ドレイン31、32が形成されて、電界効果トランジスタ2が形成される。なお、上記シリサイド化

## 13

において、同時にゲート電極13をポリサイド構造に形成する場合には、上記オフセット絶縁膜16は形成しないで、ゲート電極13上に接触する状態に上記高融点金属層37を形成する。

【0045】上記電界効果トランジスタ2の製造方法では、ソース・ドレイン14、15上に堆積したシリコンエピタキシャル層33、34の上部をシリサイド化することにより、積み上げソース・ドレイン31、32を形成することから、ソース・ドレイン14、15はシリサイド化されない。そのため、浅い接合のソース・ドレイン14、15を残した状態で、ソース・ドレイン14、15のシート抵抗を低減することが可能になる。

【0046】次に本発明の半導体装置に係わる第1実施形態の一例を、図5の概略構成断面図によって説明する。図5では、前記図1で説明したのと同様の構成部品には同一符号を付す。

【0047】図5に示すように、半導体基板11は以下のように構成されている。すなわち、シリコン基板21上に、バッファ層22、リラックス層23、ストレイン効果シリコン層24とが順に形成されているものである。

【0048】上記シリコン基板21は、例えばチョクラルスキー(CZ)法により引き上げられた $p^-$ 型シリコンからなる。また上記バッファ層22はゲルマニウム濃度を厚さ方向に変化させた $p^-$ 型のシリコンゲルマニウム( $Si_{1-x}Ge_x$ )からなり、例えば、シリコン基板21側より上層側に向けてゲルマニウムの組成を $x=0.04$ から $x=0.3$ に変化させたシリコンゲルマニウムからなり、例えば $1.6\mu m$ の厚さに形成されている。

【0049】さらにリラックス層23は、例えば、応力が緩和されている $n^-$ 型のシリコンゲルマニウム( $Si_{0.7}Ge_{0.3}$ )からなり、 $0.6\mu m$ の厚さに形成されている。さらに上記ストレイン効果シリコン層24は、一例として $13nm$ の厚さに形成されている。このストレイン効果シリコン層24は、ストレイン効果を引き出せる厚さ。例えば $5nm\sim 30nm$ の厚さ、好ましくは $5nm\sim 15nm$ の厚さに形成されていればよい。

【0050】また、 $n$ チャネル型の電界効果トランジスタ1が形成される領域および $p$ チャネル型の電界効果トランジスタ3が形成される領域を電氣的に分離するトレンチ構造の素子分離領域51が、ストレイン効果シリコン層24からリラックス層23の上層にかけて形成されている。さらに $n$ チャネル型の電界効果トランジスタ1が形成されるストレイン効果シリコン層24およびリラックス層23の上層にかけての領域には $p$ ウエル25が形成され、 $p$ チャネル型の電界効果トランジスタ3が形成されるストレイン効果シリコン層24およびリラックス層23の上層にかけての領域には $n$ ウエル26が形成されている。上記の如く、 $n$ チャネル型の電界効果ト

## 14

ンジスタ1と $p$ チャネル型の電界効果トランジスタ3とからなる半導体装置5が形成される半導体基板11が構成されている。

【0051】上記 $n$ チャネル型の電界効果トランジスタ1は、以下のような構成を成す。すなわち、上記ストレイン効果シリコン層24上には、ゲート絶縁膜12を介してゲート電極13が形成され、このゲート電極13の両側におけるストレイン効果シリコン層24の上層には $n^+$ 型拡散層からなるソース・ドレイン14、15が形成されている。上記ゲート絶縁膜12は、例えば厚さが $13nm$ の酸化シリコンからなり、上記ゲート電極13は、例えばポリシリコンからなる。また上記ソース・ドレイン14、15は、例えば接合深さが $6nm$ 程度に形成されている。したがって、このソース・ドレイン14、15はストレイン効果シリコン層24のみに形成されていることになる。上記の如くに、電界効果トランジスタ1が構成されている。

【0052】一方、上記 $p$ チャネル型の電界効果トランジスタ3は、以下のような構成を成す。すなわち、上記ストレイン効果シリコン層24上には、ゲート絶縁膜72を介してゲート電極73が形成され、このゲート電極73の両側におけるストレイン効果シリコン層24の上層には $p^+$ 型拡散層からなるソース・ドレイン74、75が形成されている。上記ゲート絶縁膜72は、例えば厚さが $13nm$ の酸化シリコンからなり、上記ゲート電極73は、例えばポリシリコンからなる。また上記ソース・ドレイン74、75は、例えば接合深さが $7nm$ 程度に形成されている。したがって、このソース・ドレイン74、75はストレイン効果シリコン層24のみに形成されていることになる。上記の如くに、 $p$ チャネル型の電界効果トランジスタ3が構成されている。

【0053】上記半導体装置5では、 $n$ チャネル型電界効果トランジスタ1のソース・ドレイン14、15および $p$ チャネル型電界効果トランジスタ3のソース・ドレイン74、75がストレイン効果シリコン層24のみに形成されていることから、ソース・ドレイン14、15およびソース・ドレイン74、75の各接合はストレイン効果シリコン層24内に存在することになる。そのため、接合リークの発生が起きにくくなる。また $n$ チャネル型の電界効果トランジスタ1のチャネル層はストレイン効果シリコン層24に形成されるため、シリコンと下地のシリコンゲルマニウムからなるリラックス層23との格子定数の相違によりシリコンネットワークは引張応力を受ける。そのため、伝導帯の底の縮退がとけ、電子はその有効質量が小さくなり、シリコン/酸化シリコンの界面近くの反転層内での移動度は2倍近くに増大する。したがって、 $nMOS$ トランジスタとしての相互コンダクタンス $gm$ は2倍近くに向上される。さらに一つのストレイン効果シリコン層24に各ソース・ドレイン14、15およびソース・ドレイン74、75が形成さ

15

れていることから、従来のCMOS構造とはほぼ同等の構造となる。そのため、構造が簡単となる。

【0054】上記半導体装置5は、1個のnチャネル型の電界効果トランジスタ1および1個のpチャネル型の電界効果トランジスタ3で構成されているが、複数のnチャネル型の電界効果トランジスタ1および複数のpチャネル型の電界効果トランジスタ3で構成されるものであってもよい。

【0055】次に半導体装置に係わる第2実施形態の一例を、図6の概略構成断面図によって説明する。図6では、前記図5で説明したのと同様の構成部品には同一符号を付す。

【0056】図6に示すように、電界効果トランジスタ2は、図5によって説明した電界効果トランジスタ1において、ソース・ドレイン14、15上に、いわゆる積み上げソース・ドレイン31、32を形成したものである。すなわち、積み上げソース・ドレイン31、32は、ソース・ドレイン14、15上に形成されているシリコンエピタキシャル層33、34と、そのシリコンエピタキシャル層33、34に形成されている高融点金属シリサイド層35、36とからなる。なお、ゲート電極13上にはオフセット絶縁膜16が形成されており、このゲート電極13の側壁にはサイドウォール絶縁膜17、18が形成されている。また上記ソース・ドレイン14、15は、サイドウォール絶縁膜17、18下のストレイン効果シリコン層24に低濃度拡散層を形成したLDD構造としてもよい。

【0057】一方、電界効果トランジスタ4は、図5によって説明した電界効果トランジスタ3において、ソース・ドレイン74、75上に、いわゆる積み上げソース・ドレイン81、82を形成したものである。すなわち、積み上げソース・ドレイン81、82は、ソース・ドレイン74、75上に形成されているシリコンエピタキシャル層83、84と、そのシリコンエピタキシャル層83、84に形成されている高融点金属シリサイド層85、86とからなる。なお、ゲート電極73上にはオフセット絶縁膜76が形成されており、このゲート電極73の側壁にはサイドウォール絶縁膜77、78が形成されている。また上記ソース・ドレイン74、75は、サイドウォール絶縁膜77、78下のストレイン効果シリコン層24に低濃度拡散層を形成したLDD構造としてもよい。また、ゲート電極13、73がポリサイド構造で形成されていてもよい。このポリサイド構造では、上記オフセット絶縁膜16、76は形成されない。

【0058】上記半導体装置5では、積み上げソース・ドレイン31、32および積み上げソース・ドレイン81、82を形成したことにより、ソース・ドレイン14、15およびソース・ドレイン74、75をシリサイド化することなく浅い接合を保った状態で、ソース・ドレイン14、15およびソース・ドレイン74、75の

16

シート抵抗を低減することが可能になる。その結果、ソース・ドレイン14、15およびソース・ドレイン74、75に接続される配線の高速動作が可能になる。

【0059】本発明の半導体装置の製造方法に係わる第1実施形態の一例を、図7の製造工程図によって説明する。図7では、前記図5で説明したのと同様の構成部品には同一符号を付す。

【0060】前記図3の(1)によって説明したのと同様の方法によって、図7の(1)に示すように、シリコン基板21上にゲルマニウム濃度を厚さ方向に変化させたp<sup>-</sup>型のシリコンゲルマニウム(Si<sub>1-x</sub>Ge<sub>x</sub>)からなるバッファ層22を、例えば、シリコン基板21側より上層側に向けてゲルマニウムの組成をx=0.04からx=0.3に変化させてシリコンゲルマニウムを堆積することにより、1.6μmの厚さに形成する。上記シリコン基板21には、例えばCZ法により引き上げられたp<sup>-</sup>型シリコン基板を用いる。

【0061】さらに上記バッファ層22上に応力が緩和されているn<sup>-</sup>型のシリコンゲルマニウムからなるリラックス層23を、例えばゲルマニウムの組成がx=0.3のシリコンゲルマニウムをおよそ0.6μmの厚さに堆積して形成する。そしてこのリラックス層23上にストレイン効果を有する半導体層となるストレイン効果シリコン層24を、一例として13nmの厚さに形成する。このストレイン効果シリコン層24は、ストレイン効果を引き出せる厚さ、例えば5nm~30nmの厚さ、好ましくは5nm~15nmの厚さに形成されていればよい。このストレイン効果シリコン層24には、シリコンゲルマニウム層(リラックス層23)とシリコン層(ストレイン効果シリコン層24)との格子定数の違いにより引張応力が生じている。このようにして、半導体基板11を形成する。

【0062】その後、通常のトレンチ構造の素子分離領域の形成方法によって、nチャネル型の電界効果トランジスタ1が形成される領域およびpチャネル型の電界効果トランジスタ3が形成される領域を電気的に分離するトレンチ構造の素子分離領域51を、ストレイン効果シリコン層24からリラックス層23の上層にかけて形成する。なお、上記通常のトレンチ構造の素子分離領域の形成方法とは、例えばリソグラフィ技術およびエッチング技術によって半導体基板11にトレンチを形成した後、そのトレンチに絶縁膜を埋め込み、その後半導体基板11上の余分な絶縁膜を、例えばエッチバック、化学的機械研磨等によって除去することにより素子分離領域51を形成するという方法である。

【0063】次いで、nチャネル型の電界効果トランジスタ1が形成されるストレイン効果シリコン層24およびリラックス層23の上層にかけての領域に、pウェル25を、例えばイオン注入法によって形成する。その際、nウェル26上には、例えばレジストマスク(図示

省略)を形成しておく。続いて上記レジストマスクを除去した後、pチャネル型の電界効果トランジスタ3が形成されるストレイン効果シリコン層24およびリラックス層23の上層にかけての領域に、nウェル26を、例えばイオン注入法によって形成する。その際、pウェル25上には、例えばレジストマスク(図示省略)を形成しておく。そしてこのレジストマスクはイオン注入後に除去する。なお、上記nウェル26およびpウェル25はどちらを先に形成しても差し支えない。以下、図7の(2)~(4)では、シリコン基板21およびバッファ層22の一部の図示は省略する。

【0064】次いで前記図3の(2)によって説明したのと同様の方法によって、図7の(2)に示すように、ストレイン効果シリコン層24上にゲート絶縁膜12(72)を酸化シリコンで形成する。続いてCVD法によってポリシリコンを堆積してゲート電極膜41(2点鎖線で示す部分)を形成した後、レジスト塗布によるレジスト膜(図示省略)の形成、リソグラフィー技術によりレジスト膜をパターンニングしてレジストマスク(図示省略)の形成、そのレジストマスクをエッチングマスク20に用いたエッチング技術によって、ゲート絶縁膜12上にゲート電極膜41からなるnチャネル型の電界効果トランジスタのゲート電極13を形成するとともに、ゲート絶縁膜72上にゲート電極膜41からなるpチャネル型電界効果トランジスタのゲート電極73を形成する。このエッチングでは、ゲート絶縁膜12(72)の2点鎖線で示す部分もエッチングされる。

【0065】次いで図7の(3)に示すように、レジスト塗布およびリソグラフィー技術によってpウェル25上を覆うレジストマスク(図示省略)を形成した後、pチャネル型の電界効果トランジスタのソース・ドレインを形成するためのp型不純物をイオン注入する。このイオン注入では、ゲート電極73をマスクにし、そのゲート電極73の両側におけるストレイン効果シリコン層24に上記p型不純物として、例えば二フッ化ホウ素イオン( $\text{BF}_2^+$ )をイオン注入し、ストレイン効果シリコン層24の上層にn型のソース・ドレイン74、75を形成する。上記イオン注入条件としては、例えば、p型不純物に二フッ化ホウ素イオン( $\text{BF}_2^+$ )を用いた場合、打ち込みエネルギーを5keVとして二フッ化ホウ素イオンの投影飛程を5nmに設定し、ドーズ量を $3 \times 10^{15}$ 個/cm<sup>2</sup>に設定した。その後、上記レジストマスクを、例えば酸素アッシングおよび洗浄処理によって除去する。なお、上記ホウ素のイオン注入の前に薄い酸化膜(図示省略)を形成し、そのイオン注入後にこの薄い酸化膜を除去してもよい。

【0066】続いて図7の(4)に示すように、レジスト塗布およびリソグラフィー技術によってnウェル26上を覆うレジストマスク(図示省略)を形成した後、nチャネル型の電界効果トランジスタのソース・ドレイン

を形成するためのn型不純物をイオン注入する。このイオン注入では、ゲート電極13をマスクにし、そのゲート電極13の両側におけるストレイン効果シリコン層24に上記n型不純物として、例えばヒ素イオン( $\text{As}^+$ )をイオン注入し、ストレイン効果シリコン層24の上層にn型のソース・ドレイン14、15を形成する。上記イオン注入条件としては、例えば、n型不純物にヒ素イオン( $\text{As}^+$ )を用いた場合、打ち込みエネルギーを5keVとしてヒ素イオンの投影飛程を6nmに設定し、ドーズ量を $5 \times 10^{15}$ 個/cm<sup>2</sup>に設定した。

【0067】次いで、上記レジストマスクを、例えば酸素アッシングおよび洗浄処理によって除去する。その後、活性化アニーリングを行う。このアニーリング条件としては、ファーンেসアニーリングの場合には、例えばアニーリング温度を800℃、アニーリング時間を30分に設定する。また急速加熱アニーリング(例えばELA(Excimer Laser Annealing))の場合には、照射レーザー光のエネルギーを例えば1J/cm<sup>2</sup>に設定する。このような活性化アニーリングを行うことによって、浅い接合のソース・ドレイン14、15が形成される。同時に、この活性化アニーリングによってソース・ドレイン74、75も活性化される。このようにして、nチャネル電界効果トランジスタ1およびpチャネル電界効果トランジスタ3からなる半導体装置5が形成される。

【0068】なお、上記ソース・ドレイン14、15およびソース・ドレイン74、75はイオン注入により形成したが、例えばレーザードーピング、気相ドーピング、固相ドーピング等の方法を用いて形成することも可能である。

【0069】上記半導体装置の製造方法では、ストレイン効果シリコン層24のみにnチャネル電界効果トランジスタ1のソース・ドレイン14、15およびpチャネル電界効果トランジスタ3のソース・ドレイン74、75を形成することから、ソース・ドレイン14、15およびソース・ドレイン74、75の各接合はストレイン効果シリコン層24内のみに形成されることになる。そのため、接合リークの発生が抑制される。また一つのストレイン効果シリコン層24に各ソース・ドレイン14、15およびソース・ドレイン74、75を形成することから、各ソース・ドレイン14、15およびソース・ドレイン74、75に対応したチャネル形成層を製造する必要がないので、製造プロセスが簡単なる。

【0070】次に半導体装置の製造方法に係わる第2実施形態の一例を、図8の製造工程図によって以下に説明する。図8では、前記図4および図6に示した構成部品と同様のものには同一符号を付す。

【0071】前記図7によって説明した半導体装置の製造方法において、ゲート電極膜41を形成した後、図8の(1)に示すように、ゲート電極13、73となるゲート絶縁膜(41)上にオフセット絶縁膜16を形成し

19

てから、ゲートのバターンニングを行う。次いで、ソース・ドレイン14、15およびソース・ドレイン74、75を形成し、その後サイドウォール絶縁膜17、18およびサイドウォール絶縁膜77、78を形成する。なお、上記ソース・ドレイン14、15およびソース・ドレイン74、75をLDD (Lightly Doped Drain) 構造とする場合には、ゲートのバターンニングを行った後、LDD構造を形成する低濃度拡散層を例えばイオン注入により形成する。その場合、pチャネル型電界効果トランジスタのLDDはp型の低濃度拡散層で形成し、nチャネル型電界効果トランジスタのLDDはn型の低濃度拡散層で形成する。その後、ゲート電極13の側壁にサイドウォール絶縁膜17、18を形成するとともにゲート電極73の側壁にサイドウォール絶縁膜77、78を形成してからソース・ドレイン14、15およびソース・ドレイン74、75の各高濃度領域をそれぞれに適用する不純物ドーピング技術（例えばイオン注入）によって形成する。

【0072】その後、選択的にエピタキシャル成長法によって、ソース・ドレイン14、15上に選択的にシリコンを堆積してシリコンエピタキシャル層33、34を形成する。同時に、ソース・ドレイン74、75上に選択的にシリコンを堆積してシリコンエピタキシャル層83、84を形成する。

【0073】次いで前記図4の(2)によって説明したのと同様の方法によって、図8の(2)に示すように、シリコンエピタキシャル層33、34、83、84側の全面に高融点金属（例えばチタン）層37を形成した後、熱処理（例えばRTA）を行って、シリコンエピタキシャル層33、34に高融点金属シリサイド（例えばチタンシリサイド）層35、36を形成して、積み上げソース・ドレイン31、32を形成する。同時に、シリコンエピタキシャル層83、84に高融点金属シリサイド（例えばチタンシリサイド）層85、86を形成して、積み上げソース・ドレイン81、82を形成する。その後、例えばエッチングによって、未反応な高融点金属層37（2点鎖線で示す部分）を除去する。このようにして、積み上げソース・ドレイン31、32を形成した電界効果トランジスタ2と、積み上げソース・ドレイン81、82を形成した電界効果トランジスタ4からなる半導体装置5が形成される。なお、上記シリサイド化において、同時にゲート電極13、73をポリサイド構造に形成する場合には、上記オフセット絶縁膜16、76は形成しないで、ゲート電極13、73上に接触する状態に上記高融点金属層37を形成する。

【0074】上記半導体装置の製造方法では、ソース・ドレイン14、15、74、75上に堆積したシリコンエピタキシャル層33、34、83、84の上部をシリサイド化して積み上げソース・ドレイン31、32、81、82を形成することから、ソース・ドレイン14、

20

15、74、75はシリサイド化されない。そのため、特にソース・ドレイン14、15の浅い接合を保った状態で、ソース・ドレイン14、15のシート抵抗を低減することが可能になる。同様に、ソース・ドレイン74、75のシート抵抗も低減される。

【0075】次に、本発明の論理回路に係わる第1実施形態の一例を、図9の回路図によって説明する。以下の説明では、前記図1、図5によって説明した各構成部品と同様にものには同一符号を付して説明する。

【0076】図9に示す論理回路111は、ISSCC Dig. Tech. Papers, "Cascode Voltage Switch Logic: A Differential CMOS Logic Family," [Feb.] (1984) Heller, L.G. and Griffin, W.R., p16-17 に開示されている回路構成と同等である。そして論理を構成するnチャネル型電界効果トランジスタ (nMOS) 112~115と、pMOS交差ラッチを構成するpチャネル型電界効果トランジスタ (pMOS) 121、122とは、前記図1および図5によって説明した半導体基板11の上層に形成したストレイン効果シリコン層24に形成されている。この構成が本発明の論理回路の特徴である。すなわち、上記nMOS 112~115の各ソース・ドレイン（図示省略）もストレイン効果シリコン層24のみに形成され、また上記pMOS 121、122の各ソース・ドレイン（図示省略）はストレイン効果シリコン層24のみに形成されている。

【0077】上記論理回路111では、nMOS 112~115の各ソース・ドレインがストレイン効果シリコン層24のみに形成されていることから、各ソース・ドレインの接合はストレイン効果シリコン層24内に存在することになる。そのため、接合リークの発生が起きにくくなるので、論理回路111の信頼性の向上が図れる。また上記論理回路111では、論理はnMOS 112~115で構成され、負荷はpMOS 121、122の交差ラッチで形成されている。この場合、出力が変化してpMOS交差ラッチが反転するときに、論理回路に直流電流が流れ、出力の変化が終了するとともに直流電流は流れなくなる。またこの論理回路111の特徴として、動作時に各トランジスタにかかる電界が緩和される。そのため、移動度の低下が起こらないため、高速動作が可能になる。またnMOSのチャネル層はストレイン効果シリコン層24に形成されるため、シリコンと下地のシリコンゲルマニウムからなるリラックス層23との格子定数の相違によりシリコンネットワークは引張応力を受ける。そのため、伝導帯の底の縮退がとけ、電子はその有効質量が小さくなり、移動度は2倍近くに増大する。したがって、nMOSTランジスタとしての相互コンダクタンス $g_m$ は2倍近くに向上される。一方、pMOS 121、122には高性能を要求されていないため、少ない素子数での構成が可能になる。このようにして、低電圧で高速動作が可能な論理回路が構成される。

【0078】次に論理回路に係わる第2実施形態の一例を、図10の回路図によって説明する。以下の説明では、前記図1、図5によって説明した各構成部品と同様にものには同一符号を付して説明する。

【0079】図10に示す論理回路131は、IEEE J. Solid-state Circuits, "A 3.8-ns CMOS 16×16-b Multiplier Using Complementary Pass-Transistor Logic," 25 [2] (1990) Yano, K. et al., p388-395 に開示されている回路構成と同等であり、バス・トランジスタ・ロジックを用いた基本回路の一つである。すなわち、論理回路はnMOSバストランジスタにより構成されている。そしてバス・トランジスタ・ロジックを構成するnチャネル型電界効果トランジスタ(nMOS)132~135と、CMOSインバータ143、144と、出力レベルの補償を行うpチャネル型電界効果トランジスタ(pMOS)141、142とは、前記図1および図5によって説明した半導体基板11の上層に形成したストレーン効果シリコン層24に形成されている。この構成が本発明の論理回路の特徴である。すなわち、上記nMOS132~135の各ソース・ドレイン(図示省略)もストレーン効果シリコン層24のみに形成され、また上記pMOS141、142のソース・ドレイン(図示省略)、CMOSインバータ143、144の各ソース・ドレイン(図示省略)はストレーン効果シリコン層24のみに形成されている。

【0080】上記論理回路131では、nMOS112~115の各ソース・ドレインがストレーン効果シリコン層24のみに形成されていることから、各ソース・ドレインの接合はストレーン効果シリコン層24内に存在することになる。そのため、接合リークの発生が起きにくくなるので、論理回路111の信頼性の向上が図れる。また上記論理回路131では、例えば論理はnMOSバストランジスタにより構成され、出力に設けたCMOSインバータ143、144によって、例えばnMOSバス・トランジスタに「H」レベルの信号を通したときに「H」レベルが $V_{DD}$ よりもnMOSのしきい電圧だけ下がるのを元に戻すとともに、負荷の駆動力を増強される。さらにpMOS141、142の交差ラッチにより出力レベルの補償を行う。すなわち「H」レベルを $V_{DD}$ に補正する。そのためのpMOS141、142には駆動力はいらない。なおpMOS141、142の交差ラッチの反転動作が遅くならないようにするには、pMOS141、142のチャネル幅を大きく、チャネル長を小さく設計すればよい。

【0081】次いで論理回路に係わる第3実施形態の一例を、図11の回路図によって説明する。以下の説明では、前記図1、図5によって説明した各構成部品と同様にものには同一符号を付して説明する。

【0082】図11に示す論理回路151は、Proc. IEEE 1994 CICC, "A High Speed, Low Power, Swing Restor

ed Pass-Transistor Logic Based Multiply and Accumulate Circuit for Multimedia Applications," [May.] (1994) Prameswer, A., Hara, H., and Sakurai, T., p358-362 に開示されている回路構成と同等であり、バス・トランジスタ・ロジックを用いた基本回路の一つである。すなわち、nMOSバス・トランジスタ・ロジックとCMOSラッチが用いられている。そしてバス・トランジスタ・ロジックを構成するnチャネル型電界効果トランジスタ(nMOS)152~155と、CMOSラッチを構成するpチャネル型電界効果トランジスタ(pMOS)161、162とnチャネル型電界効果トランジスタ(nMOS)163、164とは、前記図1および図5によって説明した半導体基板11の上層に形成したストレーン効果シリコン層24に形成されている。この構成が本発明の論理回路の特徴である。すなわち、上記nMOS152~155およびnMOS163、164の各ソース・ドレイン(図示省略)もストレーン効果シリコン層24のみに形成され、また上記pMOS161、162の各ソース・ドレイン(図示省略)はストレーン効果シリコン層24のみに形成されている。

【0083】上記論理回路151では、nMOS112~115の各ソース・ドレインがストレーン効果シリコン層24のみに形成されていることから、各ソース・ドレインの接合はストレーン効果シリコン層24内に存在することになる。そのため、接合リークの発生が起きにくくなるので、論理回路131の信頼性の向上が図れる。

【0084】さらに、CMOSラッチはプッシュプルで動作するため、pMOS交差ラッチと比較すると動作余裕が大きくなる特徴があり、またスタティック電流が流れないため、動作速度が速くなる。したがって、前記論理回路131よりも低消費電力化が図れ、高速動作が可能になる。また、nMOS構成のバス・トランジスタに対するCMOSラッチのpMOSおよびnMOSの各ゲート幅の比率が変化しても、遅延時間の最適領域を広く取れる利点を有する。そのため、設計余裕が大きくなり、それにとまって製造余裕も大きくなる利点を有している。

【0085】なお、上記論理回路111、131、151は一例であって、バス・トランジスタ・ネットワークを用いた他の論理回路、例えばDSL (Differential Split-Level logic), DCVSPG (Differential Cascode Voltage Switch with the Pass-Gate) 等にも、上記図1や図5等によって説明したストレーン効果シリコン層24に電界効果トランジスタ1や半導体装置5を形成する構成を用いることは可能である。

【0086】次に、本発明の半導体基板に係わる実施形態の一例を、図12の概略構成断面図によって説明する。図12では、前記図1によって説明した構成部品と同様のものには同一符号を付す。



## 23

【0087】図12に示すように、半導体基板91は、ゲルマニウム基板92上に、リラックス層23が形成され、その上にストレイン効果を有する半導体層であるストレイン効果シリコン層24が形成されているものである。上記リラックス層23は、例えば、 $n^-$ （または $p^-$ ）型の応力が緩和されているシリコンゲルマニウム（ $Si_{0.7}Ge_{0.3}$ ）からなり、例えばおよそ0.6 $\mu m$ の厚さに形成されている。なお、ゲルマニウムの組成比は上記値に限定されることはなく適宜選択される。またストレイン効果シリコン層24は前記図1によって説明したものと同様である。上記の如く、半導体基板91が構成されている。

【0088】上記半導体基板91では、ゲルマニウム基板92を用いていることから、ゲルマニウム基板92上にバッファ層を形成することなく直接に応力が緩和されているシリコンゲルマニウム層からなるリラックス層23を形成することが可能になっている。すなわち、ゲルマニウム基板92とリラックス層23との間で格子不整合が起き難いため、上記構成を採用することが可能になる。そのため、半導体基板91の構造が簡単化され、この半導体基板91を形成するプロセスも簡単化される。

【0089】次に上記半導体基板91は、例えば、前記図1によって説明した前記半導体基板11の代わりに上記図12によって説明した半導体基板91を用いて、前記図1によって説明した電界効果トランジスタ1を半導体基板91のストレイン効果シリコン層24に形成することが可能である。また前記図5によって説明した前記半導体基板11の代わりに上記図12によって説明した半導体基板91を用いて、前記図5によって説明した半導体装置5を半導体基板91のストレイン効果シリコン層24に形成することも可能である。

## 【0090】

【発明の効果】以上、説明したように本発明の電界効果トランジスタによれば、ソース・ドレインがストレイン効果を有する半導体層であるストレイン効果シリコン層のみに形成されているので、ソース・ドレインの接合はストレイン効果シリコン層内に存在する。そのため、トランジスタの移動度の向上が図れるとともに、接合リーク

の発生が起きにくくなるのでトランジスタ性能の向上を図ることが可能になる。

【0091】本発明の電界効果トランジスタの製造方法によれば、ストレイン効果を有する半導体層であるストレイン効果シリコン層のみに電界効果トランジスタのソース・ドレインを形成するので、ソース・ドレインの接合はストレイン効果シリコン層内のみに形成することができる。そのため、接合リーク

の発生を抑制することができる。

【0092】本発明の半導体装置によれば、 $p$ チャネル型電界効果トランジスタのソース・ドレインおよび $n$ チ

## 24

ヤネル型電界効果トランジスタのソース・ドレインともに、ストレイン効果を有する半導体層であるストレイン効果シリコン層のみに形成されているので、各ソース・ドレインの接合はストレイン効果シリコン層内に存在する。そのため、トランジスタのモビリティの向上が図れるとともに、接合リークの発生が起きにくくなるのでトランジスタ性能の向上を図ることが可能になる。また一つのストレイン効果シリコン層に各ソース・ドレインが形成されていることから、従来のCMOS構造とほぼ同等の構造となる。そのため、構造が簡単になる。

【0093】本発明の半導体装置の製造方法によれば、ストレイン効果を有する半導体層であるストレイン効果シリコン層のみに $p$ チャネル電界効果トランジスタのソース・ドレインおよび $n$ チャネル電界効果トランジスタのソース・ドレインを形成するので、各ソース・ドレインの接合はストレイン効果シリコン層内のみに形成できる。そのため、接合リーク

の発生を抑制することができる。また一つのストレイン効果シリコン層に各ソース・ドレインを形成することから、各ソース・ドレインに対応したチャネル形成層を製造する必要がないので、製造プロセスの簡単化が図れる。

【0094】本発明の論理回路によれば、半導体基板の上層にストレイン効果シリコン層が形成され、各電界効果トランジスタのソース・ドレインがストレイン効果シリコン層のみに形成されているので、各ソース・ドレインの接合はストレイン効果シリコン層内に存在する。そのため、トランジスタのモビリティの向上が図れるとともに、接合リーク

の発生が起きにくくなるのでトランジスタ性能の向上を図ることが可能になる。また一つのストレイン効果シリコン層に各電界効果トランジスタのソース・ドレインが形成されていることから、従来のCMOS構造とほぼ同等の構造となる。そのため、構造が簡単になる。

【0095】本発明の半導体基板によれば、ゲルマニウム基板を用いているので、ゲルマニウム基板上にバッファ層を形成することなく直接に応力が緩和されているシリコンゲルマニウム層からなるリラックス層を形成することが可能になる。すなわち、ゲルマニウム基板とリラックス層との間で格子不整合が起き難いため、上記構成を採用することが可能になる。そのため、半導体基板の構造を簡単化でき、また半導体基板を形成するプロセスを簡単化することができる。

## 【図面の簡単な説明】

【図1】電界効果トランジスタに係わる第1実施形態の概略構成断面図である。

【図2】電界効果トランジスタに係わる第2実施形態の概略構成断面図である。

【図3】電界効果トランジスタの製造方法に係わる第1実施形態の製造工程図である。

【図4】電界効果トランジスタの製造方法に係わる第2

25

実施形態の製造工程図である。

【図5】半導体装置に係わる第1実施形態の概略構成断面図である。

【図6】半導体装置に係わる第2実施形態の概略構成断面図である。

【図7】半導体装置の製造方法に係わる第1実施形態の製造工程図である。

【図8】半導体装置の製造方法に係わる第2実施形態の製造工程図である。

【図9】論理回路に係わる第1実施形態の回路図である。

26

【図10】論理回路に係わる第2実施形態の回路図である。

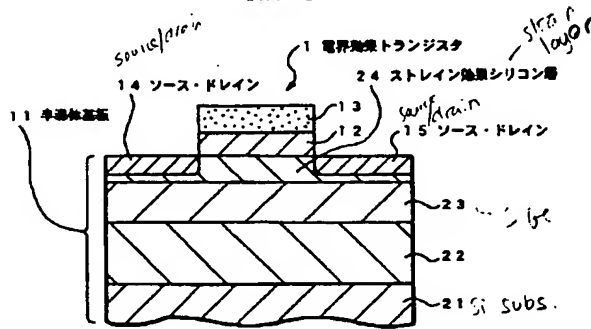
【図11】論理回路に係わる第3実施形態の回路図である。

【図12】半導体基板に係わる実施形態の概略構成断面図である。

【符号の説明】

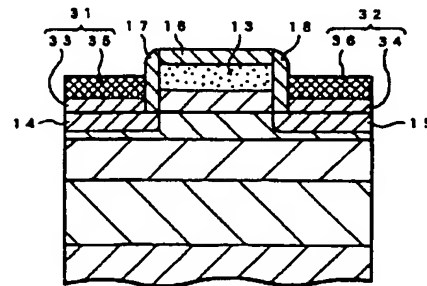
1 電界効果トランジスタ    11 半導体基板  
 14, 15 ソース・ドレイン    24 ストレイン効果  
 10 果を有する半導体層

【図1】



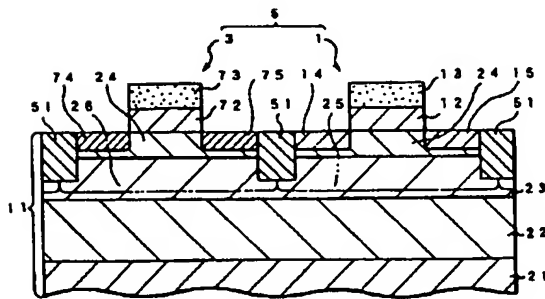
電界効果トランジスタに係わる第1実施形態の概略構成断面図

【図2】



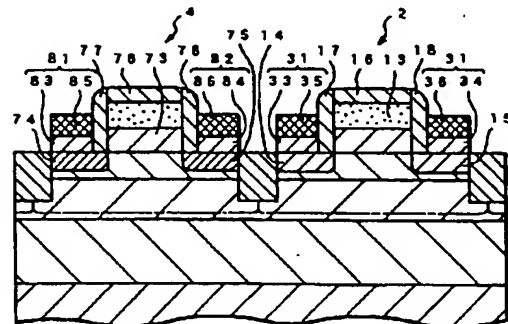
電界効果トランジスタに係わる第2実施形態の概略構成断面図

【図5】



半導体装置に係わる第1実施形態の概略構成断面図

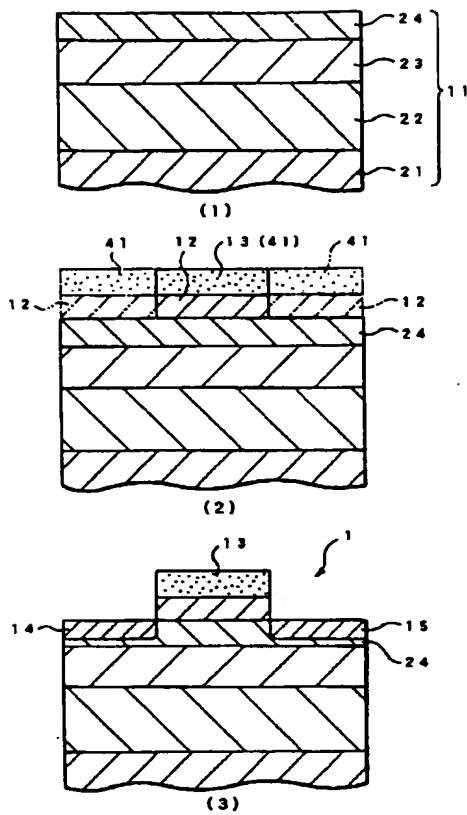
【図6】



半導体装置に係わる第2実施形態の概略構成断面図

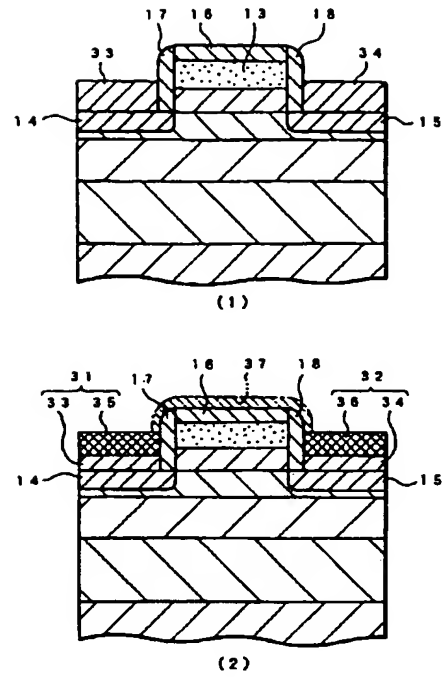


【図3】



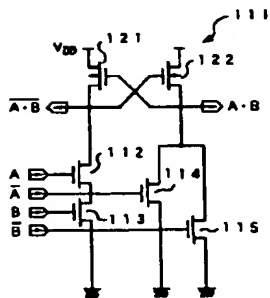
電界効果トランジスタの製造方法に係わる第1実施形態の製造工程図

【図4】



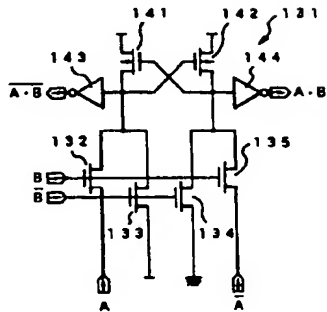
電界効果トランジスタの製造方法に係わる第2実施形態の製造工程図

【図9】



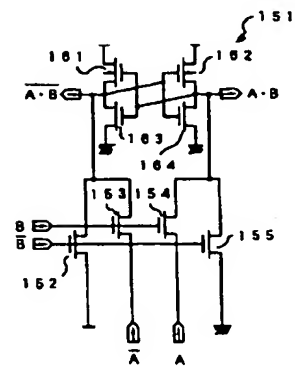
論理回路に係わる第1実施形態の回路図

【図10】



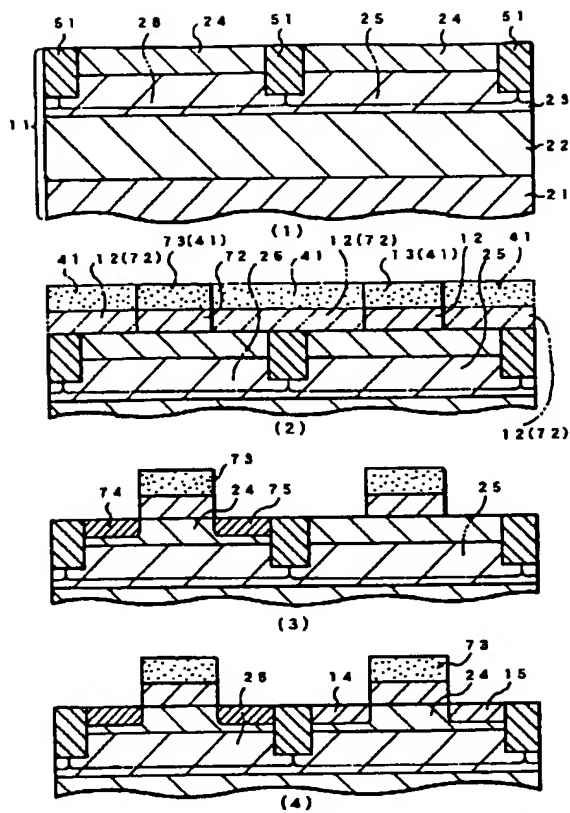
論理回路に係わる第2実施形態の回路図

【図11】



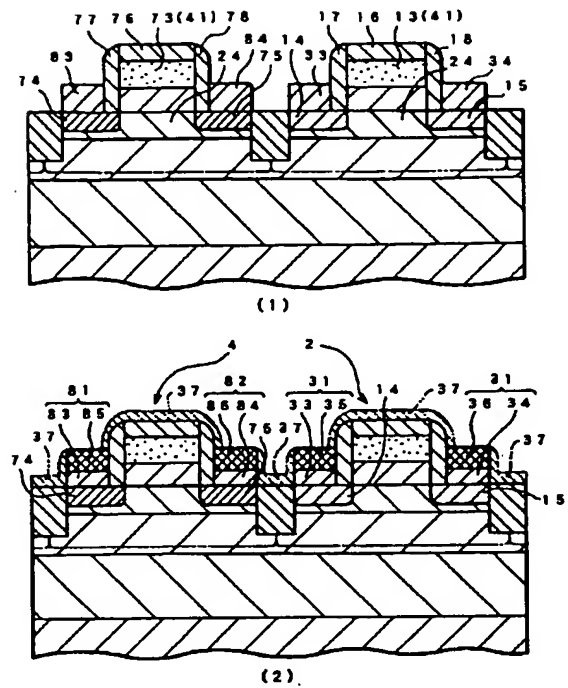
論理回路に係わる第3実施形態の回路図

【図7】



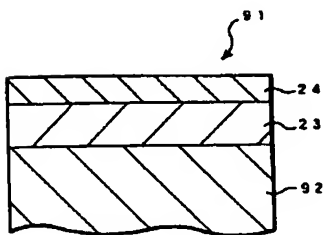
半導体装置の製造方法に係わる第1実施形態の製造工程図

【図8】



半導体装置の製造方法に係わる第2実施形態の製造工程図

【図12】



半導体基板に係わる実施形態の製造工程図

【手続補正書】

【提出日】平成10年3月3日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0039

【補正方法】変更

【補正内容】

【0039】上記イオン注入条件としては、例えば、不純物にヒ素イオン ( $As^+$ ) を用いた場合には、打ち込みエネルギーを5 keVとしてヒ素イオンの投影飛程を6 nmに設定し、ドーズ量を  $5 \times 10^{15}$  個/cm<sup>2</sup> に設定した。その後、活性化アニーリングを行う。このアニーリング条件としては、ファーンズアニーリングの場合

には、例えばアニーリング温度を800℃、アニーリング時間を20分に設定する。また急速加熱アニーリング(RTA: Rapid Thermal Annealing)を、例えばELA(Excimer Laser Annealing)によって行う場合には、例えば照射レーザー光のエネルギーを $1\text{ J/cm}^2$ に設定する。またこのような活性化アニーリングを行うこ

とによって、浅い接合のソース・ドレイン14、15(接合深さが6nm程度)が形成される。上記のごとくアニーリングは、浅い接合を確実に形成するためにRTAもしくはELAによって行うことが好ましい。このようにして、電界効果トランジスタ1が形成される。

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

## [Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the semiconductor substrate in which the logical circuit and they which contain the field-effect transistor in which the source drain was formed, the semiconductor device containing the manufacture method and its field-effect transistor, and the manufacture method and its semiconductor device in the silicon layer which has the strain effect in detail are formed about the logical circuit and the semiconductor substrate containing a field-effect transistor, the manufacture method and a semiconductor device, and the manufacture method and its semiconductor device.

[0002]

[Description of the Prior Art] The device by the material using the strain (distortion) effect is becoming possible by progress of IV group semiconductor materials, such as silicon / silicon germanium, and a thin film coating technology, and the research which aimed at high efficiency and the low-battery device is very prosperous in it now. In a thin film semiconductor, an energy band is distorted and the above-mentioned strain effect means that the effective mass of a carrier changes, when a film receives stress. it is becoming possible to form the semiconductor thin film which has this strain effect by devising multilayers, such as for example, silicon / silicon germanium, and controlling membranous internal stress by molecular beam epitaxy technology, chemical vapor-growth (UHV-CVD) technology under an ultra-high vacuum, etc. Thus, development of a highly efficient MOS system device, a sensor, etc. is also progressing by controlling a band-gap difference and a membranous strain by the heterojunction.

[0003] In the case of a silicon film, tensile stress will be received by the silicon film of the SOI (Silicon on insulator) substrate formed by the formation technology of a zone melt method and the single-crystal-silicon film by irradiation of an Ar ion laser etc. On the other hand, compressive stress will be received by the silicon film of an SOS (Silicon on Sapphire) substrate. Consequently, in the former, the degree of electron transfer becomes large, and the mobility of an electron hole becomes large in the latter. In other words, in the former, the mobility of an electron hole becomes small, and the degree of electron transfer becomes small by the latter.

[0004] Moreover, if depositing a silicon film on the epitaxial layer of the so-called silicon germanium in the relaxed state where stress is eased in the case of a silicon system MOS (Metal-Oxide-Semiconductor) transistor, speaking concretely, improvement in the degree of electron transfer can be aimed at with tensile stress (if it says strictly, the band which degenerated to six is explained to be divided into two bands with which effective masses differ). On the other hand, if the silicon germanium (so-called germanium rich silicon germanium) film containing many germanium is formed, improvement in the mobility of an electron hole can be aimed at with compressive stress.

[0005] Based on the property of such a strain effect silicon layer, the result of a high mutual conductance [gm (mobility)] is obtained by the MOS transistor which controlled and produced the stress of the layer which forms a multilayer and serves as a channel. Appl. Phys. Letter (USA), 63 (1993) S.P. Voinigensen et al., and p660 And IEEE Electronic Devices (USA), 43 (1996) L.H. Jiang and

R.G.Elliman, and p97 \*\*\*\* -- the pMOS transistor is indicated Moreover, Appl.Phys.Letter (USA), 64 (1994) KIsmaïl et al., and p3124 (1994) And the nMOS transistor is indicated by IEDM 94-37 (USA) and J.Welser et al.

[0006] On the other hand, the path transistor is proposed as latest highly efficient logic (LOGIC) which performs low-battery operation, and the proposal in the latest applied-technology fields, such as CPU (Central Processig Unit) and MPEG (Moving Picture Experts Group), is made. Such a logical circuit requires the highly efficient property that the nMOS transistor used as a subject has a high mutual conductance in low-battery operation. On the other hand, even if there are few element numbers at precharge usage [ a pMOS transistor ] etc., a demand is not carried out but the working speed like a nMOS transistor determines a performance by adjustment of channel width W, it is not disadvantageous in area.

[0007]

[Problem(s) to be Solved by the Invention] however, with the pMOS transistor and nMOS transistor in a Prior art which gave [ above-mentioned ] explanation, since junction of a source drain is located in the small silicon germanium layer of a band gap when application by the highly efficient low battery is considered, and since junction of a source drain is formed in silicon / silicon germanium interface, the existence which is leak serves as a technical problem

[0008]

[Means for Solving the Problem] this invention is a semiconductor substrate at the logical circuit row containing the field-effect transistor made in order to solve the above-mentioned technical problem and its manufacture method, a semiconductor device and its manufacture method, and its semiconductor device.

[0009] a field-effect transistor is formed in the silicon layer (henceforth the strain effect silicon layer) which is a semiconductor layer which has the strain effect currently formed in the semiconductor substrate upper layer, and the source drain of this field-effect transistor is formed in the strain effect silicon layer chisel

[0010] In the above-mentioned field-effect transistor, since the source drain is formed only in the strain effect silicon layer, junction of a source drain will exist in the strain effect silicon layer. Therefore, generating of junction leak stops being able to occur easily.

[0011] The manufacture method of a field-effect transistor forms the silicon layer (the strain effect silicon layer) which is a semiconductor layer which has the strain effect it is ineffective in the upper layer of a semiconductor substrate, and constitutes this semiconductor substrate. Then, a gate electrode is formed through a gate insulator layer on the strain effect silicon layer. And it is the manufacture method equipped with the process of forming a source drain, by doping the impurity for forming a source drain in the silicon layer which has the strain effect in the both sides of a gate electrode.

[0012] By the manufacture method of the above-mentioned field-effect transistor, since the source drain of a field-effect transistor is formed only in the strain effect silicon layer, junction of a source drain will be formed only in the strain effect silicon layer. Therefore, generating of junction leak is suppressed.

[0013] the p-channel type field-effect transistor and n channel type field-effect transistor which were formed in the silicon layer (the strain effect silicon layer) which is a semiconductor layer which has the strain effect currently formed on the semiconductor substrate including a field-effect transistor in which the semiconductor device gave [ above-mentioned ] explanation -- since -- it becomes and each source drain of a p-channel type and an n channel type field-effect transistor is formed only in the strain effect silicon layer

[0014] In the above-mentioned semiconductor device, since each source drain of a p-channel type and an n channel type field-effect transistor is formed only in the strain effect silicon layer, junction of each source drain will exist in the strain effect silicon layer. Therefore, it is hard coming to generate junction leak. Moreover, it becomes the conventional CMOS structure and almost equivalent structure from each source drain being formed in the one strain effect silicon layer. Therefore, structure becomes easy.

[0015] The manufacture method of a semiconductor device forms the strain effect silicon layer used as the upper layer of a semiconductor substrate, and constitutes this semiconductor substrate. The gate electrode of a p-channel type field-effect transistor and the gate electrode of an n channel type field-

effect transistor are formed through a gate insulator layer on the strain effect silicon layer. And the source drain which becomes the strain effect silicon layer in the both sides of the gate electrode of a p-channel type field-effect transistor from p type diffusion layer is formed. Moreover, it has the process of forming the source drain which becomes the strain effect silicon layer in the both sides of the gate electrode of an n channel type field-effect transistor from n type diffusion layer.

[0016] By the manufacture method of the above-mentioned semiconductor device, since each source drain of a p-channel type and an n channel type field-effect transistor is formed only in the strain effect silicon layer, junction of each source drain is formed only in the strain effect silicon layer. Therefore, generating of junction leak with each source drain is suppressed. Moreover, since each source drain is formed in the one strain effect silicon layer and it is not necessary to manufacture the channel cambium corresponding to each source drain, a manufacture process becomes easy.

[0017] As for the semiconductor substrate which forms a logical circuit, the strain effect silicon layer is formed in the upper layer including the semiconductor device equipped with a p-channel type field-effect transistor in which the logical circuit gave [ above-mentioned ] explanation, and the n channel type field-effect transistor. Each source drain of a p-channel type and an n channel type field-effect transistor is formed only in the strain effect silicon layer.

[0018] In the above-mentioned logical circuit, since the source drain of each field-effect transistor is formed only in the strain effect silicon layer of the upper layer of a semiconductor substrate, junction of each source drain will exist in the strain effect silicon layer. Therefore, it is hard coming to generate junction leak.

[0019] A semiconductor substrate consists of a relaxed layer which consists of a silicon germanium layer which is what was formed on a germanium substrate and its germanium substrate, and by which stress is eased, and a strain effect silicon layer formed on the relaxed layer.

[0020] In the above-mentioned semiconductor substrate, since the germanium substrate is used, it is possible to form the relaxed layer which consists of a silicon germanium layer by which stress is eased directly, without forming a buffer layer on a germanium substrate. That is, since grid mismatching cannot occur easily between a germanium substrate and a relaxed layer, it becomes possible to adopt the above-mentioned composition. Therefore, the structure of a semiconductor substrate is simplified and the process which forms this semiconductor substrate is also simplified.

[0021]

[Embodiments of the Invention] The outline composition cross section of drawing 1 explains an example of the 1st operation gestalt concerning the field-effect transistor of this invention. Drawing 1 shows insulated-gate type n-MOSFET as an example.

[0022] p which changed germanium concentration in the thickness direction on the silicon substrate 21 as shown in drawing 1 - The buffer layer 22 which consists of silicon germanium ( $\text{Si}_{1-x}\text{Ge}_x$ ) of type, and p by which stress is eased - The relaxed layer 23 which consists of silicon germanium ( $\text{Si}_{1-x}\text{Ge}_x$ ) of type is formed in order.

[0023] The above-mentioned silicon substrate 21 is p which was able to be pulled up for example, by the CHOKURARU skiing (CZ) method. - It consists of type silicon. Moreover, the above-mentioned buffer layer 22 consists of silicon germanium which changed composition of germanium from  $x=0.04$  to  $x=0.3$  towards the upper layer side for example, from the silicon-substrate 21 side, for example, is formed in the thickness of about 1.6 micrometers. Moreover, composition of germanium consists of silicon germanium of  $x=0.3$ , and the above-mentioned relaxed layer 23 is formed in the thickness of about 0.6 micrometers.

[0024] Furthermore on this relaxed layer 23, the strain effect silicon layer 24 used as the semiconductor layer which has the strain effect is formed as an example at the thickness of 13nm. as the thickness in which this strain effect silicon layer 24 can pull out the strain effect -- for example, the thickness of 5nm - about 30nm -- it is good if preferably formed in the thickness of 5nm - about 15nm Like the above, the semiconductor substrate 11 in which a field-effect transistor 1 is formed is constituted.

[0025] The field-effect transistor 1 explained below is formed in this semiconductor substrate 11. That is, on the above-mentioned strain effect silicon layer 24, the gate electrode 13 is formed through the gate insulator layer 12, and the source drains 14 and 15 are formed in the upper layer of the strain effect

silicon layer 24 in the both sides of this gate electrode 13. The above-mentioned gate insulator layer 12 consists of a silicon oxide whose thickness is 6nm, and the above-mentioned gate electrode 13 consists of contest polysilicon. Moreover, as for the above-mentioned source drains 14 and 15, for example, the junction depth is formed in about 5nm. Therefore, these source drains 14 and 15 will be formed only in the strain effect silicon layer 24 whose thickness is 13nm. The field-effect transistor 1 is constituted like the above.

[0026] The above-mentioned strain effect is explained here. The strain effect is the phenomenon in which the degree of electron transfer will become large if it says that the effective mass of a carrier changes when the energy band is distorted and tensile stress is received (the mobility of an electron hole becoming small), and the mobility of an electron hole will become large if compressive stress is received (the degree of electron transfer becomes small), when the thin film semiconductor receives stress in a thin film semiconductor.

[0027] in the above-mentioned field-effect transistor 1, since the source drains 14 and 15 (the junction depth is 5nm) are formed only in the strain effect silicon layer 24 whose thickness is 13nm, junction of the source drains 14 and 15 will exist in the strain effect silicon layer 24. Therefore, generating of junction leak of a field-effect transistor 1 is suppressed. Moreover, in a silicon network, the strain effect silicon layer 24 receives tensile stress by the difference of a lattice constant with the relaxed layer 23 which consists of silicon and silicon germanium of a ground. Since the channel layer of a field-effect transistor 1 will be formed in this strain effect silicon layer 24, degeneracy of the bottom of a conduction band is cleared, as for an electron, the effective mass becomes small, and mobility increases near the double precision. Therefore, the mutual conductance gm of a field-effect transistor 1 improves near the double precision as a nMOS transistor.

[0028] Next, the outline composition cross section of drawing 2 explains an example of the 2nd operation gestalt concerning a field-effect transistor. In drawing 2, the same sign is given to the same component part as aforementioned drawing 1 explained.

[0029] the field-effect transistor 1 which explained the field-effect transistor 2 by drawing 1 as shown in drawing 2 -- setting -- source drain 14 and 15 top -- being the so-called -- it accumulates and the source drains (or it is also called an EREBETEDDO source drain) 31 and 32 are formed. It consists of these silicon epitaxial layers 33 and 34 with which it accumulates and is formed by the source drains 31 and 32 on the source drain 14 and 15, and refractory-metal silicide layers 35 and 36 currently formed in the silicon epitaxial layers 33 and 34. The above-mentioned silicon epitaxial layers 33 and 34 are formed in the thickness of about 50nm.

[0030] In addition, the offset insulator layer 16 is formed on the gate electrode 13, and the sidewall insulator layers 17 and 18 are formed in the side attachment wall of this gate electrode. By this, it accumulated with the gate electrode 13 and short-circuit with the source drains 31 and 32 is prevented. Moreover, the above-mentioned source drains 14 and 15 are good for the sidewall insulator layer 17 and the strain effect silicon layer 24 under 18 also as LDD (Lightly Doped Drain) structure in which the low concentration diffusion layer was formed. Moreover, the gate electrode 13 may be formed with polycide structure. With this polycide structure, the above-mentioned offset insulator layer 16 is not formed.

[0031] In the above-mentioned field-effect transistor 2, it becomes possible to reduce sheet resistance of the source drains 14 and 15, without silicide-izing the source drains 14 and 15 by having accumulated and having formed the source drains 31 and 32. Consequently, the high-speed operation of a field-effect transistor 2 becomes more possible to stability.

[0032] Next, the manufacturing process view of drawing 3 explains an example of the 1st operation gestalt concerning the manufacture method of the field-effect transistor of this invention. In drawing 3, the same sign is given to the same component part as aforementioned drawing 1 explained.

[0033] As shown in (1) of drawing 3, with epitaxial growth technology, such as an ultra-high-vacuum chemical vapor-growth (UHV-CVD) method and molecular beam epitaxy [MBE (Molecular Beam Epitaxy)] p which changed germanium concentration in the thickness direction on the silicon substrate 21 - The buffer layer 22 which consists of silicon germanium (Si1-x Gex) of type For example, it forms in the thickness of 1.6 micrometers by changing composition of germanium to x= 0.3 from x= 0.04 towards an upper layer side, and depositing silicon germanium from a silicon-substrate 21 side. p which was able

to be pulled up for example, by the CHOKURARU skiing [CZ (Czochralski)] method in the above-mentioned silicon substrate 21 - A type silicon substrate is used.

[0034] p by which stress is furthermore eased on the above-mentioned buffer layer 22 - Composition of germanium deposits the silicon germanium of  $x = 0.3$  on the thickness of 0.6 micrometers, and forms the relaxed layer 23 which consists of silicon germanium of type. And the strain effect silicon layer 24 used as the semiconductor layer which has the strain effect is formed as an example on this relaxed layer 23 at the thickness of 13nm. the thickness in which this strain effect silicon layer 24 can pull out the strain effect, for example, the thickness of 5nm - 30nm, -- it is good if preferably formed in the thickness of 5nm - 15nm When UHV-CVD was adopted, for example as membrane formation conditions for the above-mentioned strain effect silicon layer 24, the mono silane [SiH<sub>4</sub>] (flow rate : 20sccm) or the disilane (Si two H<sub>6</sub>) (flow rate : 5sccm) was used for material gas, the pressure of membrane formation atmosphere was set as 1.33microPa, substrate temperature was set as about 600 degrees C, and film formation was performed. In addition, sccm expresses the volumetric flow rate (a part for cm<sup>3</sup>/) in reference condition.

[0035] In addition, it is desirable to form the above-mentioned buffer layer 22, the relaxed layer 23, and the strain effect silicon layer 24 continuously within the same chamber. In this case, by using a mono silane (SiH<sub>4</sub>), germane (GeH<sub>4</sub>), or a disilane (Si two H<sub>6</sub>) and germane (GeH<sub>4</sub>) for material gas, and changing each gas ratio suitably After forming the above-mentioned buffer layer 22 and the relaxed layer 23 by forming the silicon germanium layer of a desired component ratio, germane's supply is stopped and the strain effect silicon layer 24 is formed using a mono silane or a disilane.

[0036] In the strain effect silicon layer 24 formed by the above-mentioned method, tensile stress has arisen by the difference in the lattice constant of a silicon germanium layer (relaxed layer 23) and a silicon layer (the strain effect silicon layer 24). Thus, the semiconductor substrate 11 is formed.

[0037] Subsequently, as shown in (2) of drawing 3, the gate insulator layer 12 is formed by the silicon oxide on the strain effect silicon layer 24. then, after depositing contest polysilicon and forming the gate electrode layer 41 (the portion shown according to a two-dot chain line is also included) by CVD, patterning of the resist film is carried out with formation of the resist film (illustration ellipsis) by resist application, and lithography technology, and the gate electrode 13 is formed by the gate electrode layer 41 with the formation which is a resist mask (illustration ellipsis), and the etching technology which used the resist mask for the etching mask By this etching, the portion shown according to the two-dot chain line of the gate insulator layer 12 also \*\*\*\*\*s.

[0038] as shown in (3) of drawing 3 after that, the ion implantation of the impurity for forming a source drain is carried out to the strain effect silicon layer 24 in the both sides of the gate electrode 13 with the ion-implantation which used the gate electrode 13 as the mask, and the source drains 14 and 15 which are n types are formed in the upper layer of the strain effect silicon layer 24

[0039] As the above-mentioned ion-implantation conditions, when arsenic ion (As<sup>+</sup>) is used for an impurity, the projection range of arsenic ion is set as 6nm for placing energy as 5keV(s), for example, and it is a dose 5x10<sup>15</sup> pieces/cm<sup>2</sup> It set up. Then, activation annealing is performed. As this annealing condition, in the case of furnace annealing, for example, annealing temperature is set up as 800 degrees C, and annealing time is set up in 20 minutes. Moreover, when ELA (Excimer Laser Annealing) performs rapid heating annealing (RTA:Rapid Thermal Annealing), it is the energy of for example, an irradiation laser beam 1 J/cm<sup>2</sup> It sets up. Moreover, by performing such activation annealing, the source drains 14 and 15 (the junction depth is about 6nm) of shallow junction are formed. In addition, in order to form shallow junction certainly, as for the above-mentioned annealing, it is desirable to carry out by RTA. Thus, a field-effect transistor 1 is formed.

[0040] In addition, although the above-mentioned source drains 14 and 15 were formed with the ion implantation, it is also possible to form, for example using methods, such as laser doping, gaseous-phase doping, and solid phase doping.

[0041] By the manufacture method of the above-mentioned field-effect transistor, since the source drains 14 and 15 of a field-effect transistor 1 are formed only in the strain effect silicon layer 24, junction of the source drains 14 and 15 will be formed only in the strain effect silicon layer 24. Therefore, as for the field-effect transistor 1 formed by this manufacture method, generating of junction leak was



suppressed.

[0042] Next, the manufacturing process view of drawing 4 explains an example of the 2nd operation gestalt concerning the manufacture method of a field-effect transistor. In drawing 4, the same sign is given to the same component part as aforementioned drawing 3 explained.

[0043] In the manufacture method of a field-effect transistor explained by aforementioned drawing 3, after forming the gate electrode layer 41 and forming the offset insulator layer 16 on the gate insulator layer (41) used as the gate electrode 13 as shown in (1) of drawing 4, patterning of the gate is performed. Subsequently, the source drains 14 and 15 are formed and the sidewall insulator layers 17 and 18 are formed after that. Then, alternatively, by the epitaxial grown method, silicon is alternatively deposited on the source drain 14 and 15, and the silicon epitaxial layers 33 and 34 are formed in the thickness of about 50nm. In addition, in making the above-mentioned source drains 14 and 15 into LDD (Lightly Doped Drain) structure, after performing patterning of the gate, it forms the low concentration diffusion layer which forms LDD structure in the strain effect silicon layer 24 of the lower part of the sidewall insulator layer formed behind with an ion implantation. Subsequently, after forming the sidewall insulator layers 17 and 18 in the side attachment wall of the gate electrode 13, the high concentration field of the above-mentioned source drains 14 and 15 is formed.

[0044] Subsequently, as shown in (2) of drawing 4, the refractory-metal layer 37 is formed by sputtering or the chemical vapor-growth (CVD) method all over the silicon epitaxial layer 33 side and 34 sides. Then, heat-treat (for example, RTA), the silicon of the silicon epitaxial layers 33 and 34 and the metal of the refractory-metal layer 37 are made to react, and the refractory-metal silicide layers 35 and 36 are formed in the silicon epitaxial layers 33 and 34. The above-mentioned refractory-metal layer 37 is formed for example, in a titanium layer. In this case, the above-mentioned refractory-metal silicide layers 35 and 36 turn into a titanium silicide layer. Then, etching removes the unreacted refractory-metal layer 37 (portion shown according to a two-dot chain line) on the sidewall insulator layer 17 and 18 [ the offset insulator layer 16 and ], for example. Thus, on the source drain 14 and 15, it consists of refractory-metal silicide layers 35 and 36 formed in the silicon epitaxial layers 33 and 34, and accumulates, the source drains 31 and 32 are formed, and a field-effect transistor 2 is formed. In addition, in the above-mentioned silicide-izing, in forming the gate electrode 13 in polycide structure simultaneously, the above-mentioned offset insulator layer 16 forms the above-mentioned refractory-metal layer 37 in the state of contacting on the gate electrode 13 without forming.

[0045] By the manufacture method of the above-mentioned field-effect transistor 2, since it accumulates and the source drains 31 and 32 are formed by silicide-izing the upper part of the source drain 14 and the silicon epitaxial layers 33 and 34 deposited on 15, the source drains 14 and 15 are not silicide-ized. Therefore, where the source drains 14 and 15 of shallow junction are left, it becomes possible to reduce sheet resistance of the source drains 14 and 15.

[0046] Next, the outline composition cross section of drawing 5 explains an example of the 1st operation gestalt concerning the semiconductor device of this invention. In drawing 5, the same sign is given to the same component part as aforementioned drawing 1 explained.

[0047] As shown in drawing 5, the semiconductor substrate 11 is constituted as follows. That is, the buffer layer 22, the relaxed layer 23, and the strain effect silicon layer 24 are formed in order on the silicon substrate 21.

[0048] The above-mentioned silicon substrate 21 is p which was able to be pulled up for example, by the CHOKURARU skiing (CZ) method. - It consists of type silicon. Moreover, the above-mentioned buffer layer 22 is p which changed germanium concentration in the thickness direction. - It consists of silicon germanium which it consisted [ germanium ] of silicon germanium ( $\text{Si}_{1-x}\text{Ge}_x$ ) of type, for example, changed composition of germanium from  $x=0.04$  to  $x=0.3$  towards the upper layer side from the silicon-substrate 21 side, for example, is formed in the thickness of 1.6 micrometers.

[0049] Furthermore, the relaxed layer 23 is n by which stress is eased. - It consists of silicon germanium ( $\text{Si}_{0.7}\text{Ge}_{0.3}$ ) of type, and is formed in the thickness of 0.6 micrometers. Furthermore, the above-mentioned strain effect silicon layer 24 is formed in the thickness of 13nm as an example. This strain effect silicon layer 24 is the thickness which can pull out the strain effect. For example, what is necessary is to just be preferably formed in the thickness of 5nm - 15nm in 5nm - 30nm thickness.

[0050] Moreover, it is formed in the upper layer of the strain effect silicon layer 24 to the relaxed layer 23, applying the isolation field 51 of the trench structure of separating electrically the field in which the field-effect transistor 3 of the field in which the n channel type field-effect transistor 1 is formed, and a p-channel type is formed. the field applied to the upper layer of the strain effect silicon layer 24 in which the field-effect transistor 1 of further an n channel type is formed, and the relaxed layer 23 -- p -- n wells 26 are formed in the field applied to the upper layer of the strain effect silicon layer 24 in which a well 25 is formed in and the p-channel type field-effect transistor 3 is formed, and the relaxed layer 23 Like the above, the semiconductor substrate 11 in which the semiconductor device 5 which consists of an n channel type field-effect transistor 1 and a p-channel type field-effect transistor 3 is formed is constituted.

[0051] The above-mentioned n channel type field-effect transistor 1 accomplishes the following composition. That is, in the upper layer of the strain effect silicon layer [ in / the both sides of this gate electrode 13 / on the above-mentioned strain effect silicon layer 24, the gate electrode 13 is formed through the gate insulator layer 12, and ] 24, it is n+. The source drains 14 and 15 which consist of a type diffusion layer are formed. The above-mentioned gate insulator layer 12 consists of a silicon oxide whose thickness is 13nm, and the above-mentioned gate electrode 13 consists of contest polysilicon. Moreover, as for the above-mentioned source drains 14 and 15, for example, the junction depth is formed in about 6nm. Therefore, these source drains 14 and 15 will be formed only in the strain effect silicon layer 24. The field-effect transistor 1 is constituted like the above.

[0052] On the other hand, the above-mentioned p-channel type field-effect transistor 3 accomplishes the following composition. That is, in the upper layer of the strain effect silicon layer [ in / the both sides of this gate electrode 73 / on the above-mentioned strain effect silicon layer 24, the gate electrode 73 is formed through the gate insulator layer 72, and ] 24, it is p+. The source drains 74 and 75 which consist of a type diffusion layer are formed. The above-mentioned gate insulator layer 72 consists of a silicon oxide whose thickness is 13nm, and the above-mentioned gate electrode 73 consists of contest polysilicon. Moreover, as for the above-mentioned source drains 74 and 75, for example, the junction depth is formed in about 7nm. Therefore, these source drains 74 and 75 will be formed only in the strain effect silicon layer 24. Like the above, the p-channel type field-effect transistor 3 is constituted.

[0053] In the above-mentioned semiconductor device 5, since the source drains 14 and 15 of the n channel type field-effect transistor 1 and the source drains 74 and 75 of the p-channel type field-effect transistor 3 are formed only in the strain effect silicon layer 24, each junction of the source drains 14 and 15 and the source drains 74 and 75 will exist in the strain effect silicon layer 24. Therefore, generating of junction leak stops being able to occur easily. Moreover, since the channel layer of the n channel type field-effect transistor 1 is formed in the strain effect silicon layer 24, a silicon network receives tensile stress by the difference of a lattice constant with the relaxed layer 23 which consists of silicon and silicon germanium of a ground. Therefore, degeneracy of the bottom of a conduction band is cleared, as for an electron, the effective mass becomes small, and the mobility within the inversion layer near the interface of silicon/silicon oxide increases near the double precision. Therefore, the mutual conductance gm as a nMOS transistor improves near the double precision. It becomes the conventional CMOS structure and almost equivalent structure from each source drains 14 and 15 and the source drains 74 and 75 being formed in the one more strain effect silicon layer 24. Therefore, structure becomes easy.

[0054] Although the above-mentioned semiconductor device 5 consists of one n channel type field-effect transistor 1 and one p-channel type field-effect transistor 3, it may consist of a two or more n channel type field-effect transistor 1 and a two or more p-channels type field-effect transistor 3.

[0055] Next, the outline composition cross section of drawing 6 explains an example of the 2nd operation gestalt concerning a semiconductor device. In drawing 6, the same sign is given to the same component part as aforementioned drawing 5 explained.

[0056] the field-effect transistor 1 which explained the field-effect transistor 2 by drawing 5 as shown in drawing 6 -- setting -- source drain 14 and 15 top -- being the so-called -- it accumulates and the source drains 31 and 32 are formed That is, it accumulates and the source drains 31 and 32 consist of the source drain 14, silicon epitaxial layers 33 and 34 currently formed on 15, and refractory-metal silicide layers 35 and 36 currently formed in the silicon epitaxial layers 33 and 34. In addition, the offset

insulator layer 16 is formed on the gate electrode 13, and the sidewall insulator layers 17 and 18 are formed in the side attachment wall of this gate electrode 13. Moreover, the above-mentioned source drains 14 and 15 are good for the sidewall insulator layer 17 and the strain effect silicon layer 24 under 18 also as LDD structure in which the low concentration diffusion layer was formed.

[0057] the field-effect transistor 3 which, on the other hand, explained the field-effect transistor 4 by drawing 5 -- setting -- source drain 74 and 75 top -- being the so-called -- it accumulates and the source drains 81 and 82 are formed That is, it accumulates and the source drains 81 and 82 consist of the source drain 74, silicon epitaxial layers 83 and 84 currently formed on 75, and refractory-metal silicide layers 85 and 86 currently formed in the silicon epitaxial layers 83 and 84. In addition, the offset insulator layer 76 is formed on the gate electrode 73, and the sidewall insulator layers 77 and 78 are formed in the side attachment wall of this gate electrode 73. Moreover, the above-mentioned source drains 74 and 75 are good for the sidewall insulator layer 77 and the strain effect silicon layer 24 under 78 also as LDD structure in which the low concentration diffusion layer was formed. Moreover, the gate electrodes 13 and 73 may be formed with polycide structure. With this polycide structure, the above-mentioned offset insulator layers 16 and 76 are not formed.

[0058] Without accumulating and silicide-izing the source drains 14 and 15 and the source drains 74 and 75 the source drains 31 and 32 and by having accumulated and having formed the source drains 81 and 82, the above-mentioned semiconductor device 5 enables it to reduce sheet resistance of the source drains 14 and 15 and the source drains 74 and 75, where shallow junction is maintained. Consequently, the high-speed operation of the wiring connected to the source drains 14 and 15 and the source drains 74 and 75 becomes possible.

[0059] The manufacturing process view of drawing 7 explains an example of the 1st operation gestalt concerning the manufacture method of the semiconductor device of this invention. In drawing 7, the same sign is given to the same component part as aforementioned drawing 5 explained.

[0060] By the same method as (1) of aforementioned drawing 3 explained, as shown in (1) of drawing 7 p which changed germanium concentration in the thickness direction on the silicon substrate 21 - The buffer layer 22 which consists of silicon germanium (Si1-x Gex) of type For example, it forms in the thickness of 1.6 micrometers by changing composition of germanium to x= 0.3 from x= 0.04 towards an upper layer side, and depositing silicon germanium from a silicon-substrate 21 side. p which was able to be pulled up by the CZ process in the above-mentioned silicon substrate 21 - A type silicon substrate is used.

[0061] n by which stress is furthermore eased on the above-mentioned buffer layer 22 - Composition of germanium deposits the silicon germanium of x= 0.3 on the thickness of about 0.6 micrometers, and forms the relaxed layer 23 which consists of silicon germanium of type. And the strain effect silicon layer 24 used as the semiconductor layer which has the strain effect is formed as an example on this relaxed layer 23 at the thickness of 13nm. the thickness in which this strain effect silicon layer 24 can pull out the strain effect, for example, the thickness of 5nm - 30nm, -- it is good if preferably formed in the thickness of 5nm - 15nm In this strain effect silicon layer 24, tensile stress has arisen by the difference in the lattice constant of a silicon germanium layer (relaxed layer 23) and a silicon layer (the strain effect silicon layer 24). Thus, the semiconductor substrate 11 is formed.

[0062] Then, it forms in the upper layer of the strain effect silicon layer 24 to the relaxed layer 23 by the formation method of the isolation field of the usual trench structure, applying the isolation field 51 of the trench structure of separating electrically the field in which the field-effect transistor 3 of the field in which the n channel type field-effect transistor 1 is formed, and a p-channel type is formed. In addition, the formation method of the isolation field of the above-mentioned usual trench structure is a method of forming the isolation field 51, by embedding an insulator layer in the trench and removing the excessive insulator layer on the semiconductor substrate 11 by etchback, chemical mechanical polishing, etc. after that, after forming a trench in the semiconductor substrate 11 with for example, lithography technology and etching technology.

[0063] subsequently, the field applied to the upper layer of the strain effect silicon layer 24 in which the n channel type field-effect transistor 1 is formed, and the relaxed layer 23 -- p -- a well 25 is formed with ion-implantation On n wells 26, for example, the resist mask (illustration <DP N=0010> ellipsis) is

formed in that case. then, the field applied to the upper layer of the strain effect silicon layer 24 in which the p-channel type field-effect transistor 3 is formed, and the relaxed layer 23 after removing the above-mentioned resist mask -- n -- a well 26 is formed with ion-implantation On p wells 25, for example, the resist mask (illustration ellipsis) is formed in that case. And this resist mask is removed after an ion implantation. In addition, whichever the n above-mentioned well 26 and p wells 25 form previously, inconvenience does not have them. Hereafter, in (2) - (4) of drawing 7, illustration of a part of silicon substrate 21 and buffer layer 22 is omitted.

[0064] Subsequently, by the same method, as shown in (2) of drawing 7, the gate insulator layer 12 (72) is formed by the silicon oxide on the strain effect silicon layer 24 as (2) of aforementioned drawing 3 explained. Then, after depositing contest polysilicon and forming the gate electrode layer 41 (portion shown according to a two-dot chain line) by CVD, With the etching technology which carried out patterning of the resist film with formation of the resist film (illustration ellipsis) by resist application, and lithography technology, and used formation of a resist mask (illustration ellipsis), and its resist mask for the etching mask While forming the gate electrode 13 of an n channel type field-effect transistor which consists of a gate electrode layer 41 on the gate insulator layer 12, the gate electrode 73 of a p-channel type field-effect transistor which consists of a gate electrode layer 41 is formed on the gate insulator layer 72. By this etching, the portion shown according to the two-dot chain line of the gate insulator layer 12 (72) also \*\*\*\*\*s.

[0065] Subsequently, as shown in (3) of drawing 7, after forming a wrap resist mask (illustration ellipsis) for the p well 25 top with a resist application and lithography technology, the ion implantation of the p type impurity for forming the source drain of a p-channel type field-effect transistor is carried out. in this ion implantation, the gate electrode 73 is used as a mask, the ion implantation for example, of the 2 boron-fluoride ion ( $\text{BF}_2^+$ ) is carried out to the strain effect silicon layer 24 in the both sides of the gate electrode 73 as the above-mentioned p type impurity, and the source drains 74 and 75 of n mold are formed in the upper layer of the strain effect silicon layer 24 As the above-mentioned ion-implantation conditions, when 2 boron-fluoride ion ( $\text{BF}_2^+$ ) is used for p type impurity, the projection range of 2 boron-fluoride ion is set as 5nm by setting placing energy to 5keV(s), and it is a dose  $3 \times 10^{15}$  pieces/cm, for example, 2 It set up. Then, for example, oxygen ashing and washing processing remove the above-mentioned resist mask. In addition, a thin oxide film (illustration ellipsis) may be formed before the ion implantation of the above-mentioned boron, and this thin oxide film may be removed after the ion implantation.

[0066] Then, as shown in (4) of drawing 7, after forming a wrap resist mask (illustration ellipsis) for the n well 26 top with a resist application and lithography technology, the ion implantation of the n type impurity for forming the source drain of an n channel type field-effect transistor is carried out. in this ion implantation, the gate electrode 13 is used as a mask, the ion implantation of the arsenic ion ( $\text{As}^+$ ) is carried out to the strain effect silicon layer 24 in the both sides of the gate electrode 13 as the above-mentioned n type impurity, and the source drains 14 and 15 of n mold are formed in the upper layer of the strain effect silicon layer 24 As the above-mentioned ion-implantation conditions, when arsenic ion ( $\text{As}^+$ ) is used for n type impurity, the projection range of arsenic ion is set as 6nm for placing energy as 5keV(s), for example, and it is a dose  $5 \times 10^{15}$  pieces/cm 2 It set up.

[0067] Subsequently, for example, oxygen ashing and washing processing remove the above-mentioned resist mask. Then, activation annealing is performed. As this annealing condition, in the case of furnace annealing, for example, annealing temperature is set up as 800 degrees C, and annealing time is set up in 30 minutes. Moreover, in the case of rapid heating annealing [ELA (Excimer Laser Annealing)], it is the energy of an irradiation laser beam 1 J/cm<sup>2</sup> It sets up. By performing such activation annealing, the source drains 14 and 15 of shallow junction are formed. Simultaneously, the source drains 74 and 75 are also activated by this activation annealing. Thus, the semiconductor device 5 which consists of an n channel field-effect transistor 1 and a p-channel field-effect transistor 3 is formed.

[0068] In addition, although the above-mentioned source drains 14 and 15 and the source drains 74 and 75 were formed with the ion implantation, it is also possible to form, for example using methods, such as laser doping, gaseous-phase doping, and solid phase doping.

[0069] By the manufacture method of the above-mentioned semiconductor device, since the source

drains 14 and 15 of the n channel field-effect transistor 1 and the source drains 74 and 75 of the p-channel field-effect transistor 3 are formed only in the strain effect silicon layer 24, each junction of the source drains 14 and 15 and the source drains 74 and 75 will be formed only in the strain effect silicon layer 24. Therefore, generating of junction leak is suppressed. Moreover, since each source drains 14 and 15 and the source drains 74 and 75 are formed in the one strain effect silicon layer 24 and it is not necessary to manufacture the channel cambium corresponding to each source drains 14 and 15 and the source drains 74 and 75, a manufacture process becomes easy.

[0070] Next, the manufacturing process view of drawing 8 explains an example of the 2nd operation gestalt concerning the manufacture method of a semiconductor device below. In drawing 8, the same sign is given to the same thing as the component part shown in aforementioned drawing 4 and drawing 6.

[0071] In the manufacture method of the semiconductor device explained by aforementioned drawing 7, after forming the gate electrode layer 41 and forming the offset insulator layer 16 on the gate insulator layer (41) used as the gate electrodes 13 and 73 as shown in (1) of drawing 8, patterning of the gate is performed. Subsequently, the source drains 14 and 15 and the source drains 74 and 75 are formed, and the sidewall insulator layers 17 and 18 and the sidewall insulator layers 77 and 78 are formed after that. In addition, in making the above-mentioned source drains 14 and 15 and the source drains 74 and 75 into LDD (Lightly Doped Drain) structure, after performing patterning of the gate, it forms the low concentration diffusion layer which forms LDD structure with an ion implantation. In this case, LDD of a p-channel type field-effect transistor is formed by the p type low concentration diffusion layer, and LDD of an n channel type field-effect transistor is formed by the n type low concentration diffusion layer. Then, while forming the sidewall insulator layers 17 and 18 in the side attachment wall of the gate electrode 13, after forming the sidewall insulator layers 77 and 78 in the side attachment wall of the gate electrode 73, each high concentration field of the source drains 14 and 15 and the source drains 74 and 75 is formed with the impurity doping technology (for example, ion implantation) which is adapted for each.

[0072] Then, alternatively, by the epitaxial grown method, on the source drain 14 and 15, silicon is deposited alternatively and the silicon epitaxial layers 33 and 34 are formed. Simultaneously, on the source drain 74 and 75, silicon is deposited alternatively and the silicon epitaxial layers 83 and 84 are formed.

[0073] Subsequently, by the same method, as shown in (2) of drawing 8, after forming the refractory-metal (for example, titanium) layer 37 all over the silicon epitaxial layer 33, 34, and 83 side and 84 sides, heat treatment (for example, RTA) is performed, the refractory-metal silicide (for example, titanium silicide) layers 35 and 36 are formed and accumulated on the silicon epitaxial layers 33 and 34, and the source drains 31 and 32 are formed as (2) of aforementioned drawing 4 explained. Simultaneously, the refractory-metal silicide (for example, titanium silicide) layers 85 and 86 are formed and accumulated on the silicon epitaxial layers 83 and 84, and the source drains 81 and 82 are formed. Then, etching removes the unreacted refractory-metal layer 37 (portion shown according to a two-dot chain line), for example. Thus, the semiconductor device 5 which consists of a field-effect transistor 2 which accumulated and formed the source drains 31 and 32, and a field-effect transistor 4 which accumulated and formed the source drains 81 and 82 is formed. In addition, in the above-mentioned silicide-izing, in forming the gate electrodes 13 and 73 in polycide structure simultaneously, the above-mentioned offset insulator layers 16 and 76 form the above-mentioned refractory-metal layer 37 in the gate electrode 13 and the state of contacting on 73 without forming.

[0074] By the manufacture method of the above-mentioned semiconductor device, since the upper part of the source drains 14, 15, and 74 and the silicon epitaxial layers 33, 34, 83, and 84 deposited on 75 is silicide-ized, and is accumulated and the source drains 31, 32, 81, and 82 are formed, the source drains 14, 15, 74, and 75 are not silicide-ized. For the reason, where shallow junction of the source drains 14 and 15 is maintained, it becomes possible to reduce sheet resistance of the source drains 14 and 15. Similarly, sheet resistance of the source drains 74 and 75 is also reduced.

[0075] Next, the circuit diagram of drawing 9 explains an example of the 1st operation gestalt concerning the logical circuit of this invention. The following explanation attaches and explains the



same sign to a thing like each component part explained by aforementioned drawing 1 and drawing 5. [0076] The logical circuit III shown in drawing 9 is ISSCC Dig.Tech.Papers and "Cascode Voltage Switch Logic:A Differential CMOS Logic Family". [Feb.] (1984) Heller, L.G.and Griffin, W.R., p16-17 It is equivalent to the circuitry currently indicated. And the n channel type field-effect transistors (nMOS) 112-115 which constitute logic, and the p-channel type field-effect transistor (pMOS) 121,122 which constitutes a pMOS intersection latch are formed in the strain effect silicon layer 24 formed in the upper layer of the semiconductor substrate II explained by aforementioned drawing 1 and drawing 5. This composition is the feature of the logical circuit of this invention. That is, each source drain (illustration ellipsis) of the above 112-nMOS 115 is also formed only in the strain effect silicon layer 24, and each source drain (illustration ellipsis) of the above pMOS121,122 is formed only in the strain effect silicon layer 24.

[0077] In the above-mentioned logical circuit III, since each source drain of nMOS 112-115 is formed only in the strain effect silicon layer 24, junction of each source drain will exist in the strain effect silicon layer 24. Therefore, since generating of junction leak stops being able to occur easily, improvement in the reliability of a logical circuit III can be aimed at. Moreover, in the above-mentioned logical circuit III, logic consists of nMOS(s) 112-115, and the load is formed by the intersection latch of pMOS121,122. In this case, when an output changes and a pMOS intersection latch is reversed, while a direct current flows to a logical circuit and change of an output is completed, a direct current will not flow. Moreover, as a feature of this logical circuit III, the electric field built over each transistor at the time of operation are eased. Therefore, since the fall of mobility does not take place, high-speed operation becomes possible. Moreover, since the channel layer of nMOS is formed in the strain effect silicon layer 24, a silicon network receives tensile stress by the difference of a lattice constant with the relaxed layer 23 which consists of silicon and silicon germanium of a ground. Therefore, degeneracy of the bottom of a conduction band is cleared, as for an electron, the effective mass becomes small, and mobility increases near the double precision. Therefore, the mutual conductance  $g_m$  as a nMOS transistor improves near the double precision. On the other hand, since high performance is not demanded at pMOS121,122, the composition in a few element number is attained. Thus, the logical circuit in which high-speed operation is possible consists of low batteries.

[0078] Next, the circuit diagram of drawing 10 explains an example of the 2nd operation gestalt concerning a logical circuit. The following explanation attaches and explains the same sign to a thing like each component part explained by aforementioned drawing 1 and drawing 5.

[0079] The logical circuit 131 shown in drawing 10 is IEEE J.Solid-state Circuits, "A 3.8-ns CMOS 16x16-b Multiplier Using Complementary Pass-Transistor Logic, and '25. [2] (1990) Yano, K.et al., and p388-395 It is equivalent to the circuitry currently indicated and is one of the basic circuits using the pass transistor logic. That is, the logical circuit is constituted by the nMOS path transistor. And the n channel type field-effect transistors (nMOS) 132-135 which constitute a pass transistor logic, CMOS inverter 143,144, and the p-channel type field-effect transistor (pMOS) 141,142 which performs compensation of an output level are formed in the strain effect silicon layer 24 formed in the upper layer of the semiconductor substrate II explained by aforementioned drawing 1 and drawing 5. This composition is the feature of the logical circuit of this invention. That is, each source drain (illustration ellipsis) of the above 132-nMOS 135 is also formed only in the strain effect silicon layer 24, and the source drain (illustration ellipsis) of the above pMOS141,142 and each source drain (illustration ellipsis) of CMOS inverter 143,144 are formed only in the strain effect silicon layer 24.

[0080] In the above-mentioned logical circuit 131, since each source drain of nMOS 112-115 is formed only in the strain effect silicon layer 24, junction of each source drain will exist in the strain effect silicon layer 24. Therefore, since generating of junction leak stops being able to occur easily, improvement in the reliability of a logical circuit III can be aimed at. Moreover, logic is constituted by the nMOS path transistor, and it has the driving force of a load reinforced in the above-mentioned logical circuit 131, for example while 'H' level returns that only the threshold voltage of nMOS falls rather than VDD with CMOS inverter 143,144 formed in the output, when it lets the signal of 'H' level pass for example, to a nMOS path transistor. Furthermore, an output level is compensated by the intersection latch of pMOS141,142. That is, 'H' level is amended to VDD. Driving force is not needed for

pMOS141,142 for that. In addition, what is necessary is to be large in the channel width of pMOS141,142, and just to design channel length small, in order to make it reversal operation of an intersection latch of pMOS141,142 not become slow.

[0081] Subsequently, the circuit diagram of drawing 11 explains an example of the 3rd operation gestalt concerning a logical circuit. The following explanation attaches and explains the same sign to a thing like each component part explained by aforementioned drawing 1 and drawing 5.

[0082] The logical circuit 151 shown in drawing 11 Proc. IEEE 1994 CICC and 'A High Speed and Low Power, Swing Restored Pass-Transistor Logic Based Multiply and Accumulate Circuit for Multimedia Applications and' [May.] (1994) Prameswer, A., Hara, H., and Sakurai, T., and p358-362 It is equivalent to the circuitry currently indicated and is one of the basic circuits using the pass transistor logic. That is, the nMOS pass transistor logic and the CMOS latch are used. And the n channel type field-effect transistors (nMOS) 152-155 which constitute a pass transistor logic, and the p-channel type field-effect transistor (pMOS) 161,162 which constitutes a CMOS latch and the n channel type field-effect transistor (nMOS) 163,164 are formed in the strain effect silicon layer 24 formed in the upper layer of the semiconductor substrate 11 explained by aforementioned drawing 1 and drawing 5. This composition is the feature of the logical circuit of this invention. That is, each source drain (illustration ellipsis) of the above [ nMOS / nMOS and / 163,164 ] 152-155 is also formed only in the strain effect silicon layer 24, and each source drain (illustration ellipsis) of the above pMOS161,162 is formed only in the strain effect silicon layer 24.

[0083] In the above-mentioned logical circuit 151, since each source drain of nMOS 112-115 is formed only in the strain effect silicon layer 24, junction of each source drain will exist in the strain effect silicon layer 24. Therefore, since generating of junction leak stops being able to occur easily, improvement in the reliability of a logical circuit 131 can be aimed at.

[0084] Furthermore, since a CMOS latch has the feature to which a margin of operation becomes large as compared with a pMOS intersection latch in order to operate with a push pull and static current does not flow, a working speed becomes quick. Therefore, rather than the aforementioned logical circuit 131, low-power-ization can be attained and high-speed operation becomes possible. Moreover, even if the ratio of each gate width of pMOS of the CMOS latch to the path transistor of nMOS composition and nMOS changes, it has the advantage which can take the large optimal field of a time delay. Therefore, the design margin has the advantage to which it becomes large and a manufacture margin also becomes large in connection with it.

[0085] In addition, the above-mentioned logical circuit 111,131,151 is an example, and it is possible to use the composition which forms a field-effect transistor 1 and a semiconductor device 5 for the strain effect silicon layer 24 explained to other logical circuits using the path transistor network, for example, DSL, (Differential Split-Level logic), DCVSPG (Differential Cascode Voltage Switch with the Pass-Gate), etc. by above-mentioned drawing 1, drawing 5, etc.

[0086] Next, the outline composition cross section of drawing 12 explains an example of the operation gestalt concerning the semiconductor substrate of this invention. In drawing 12, the same sign is given to the same thing as the component part explained by aforementioned drawing 1.

[0087] As shown in drawing 12, as for the semiconductor substrate 91, the strain effect silicon layer 24 which is a semiconductor layer in which the relaxed layer 23 is formed in and has the strain effect at a top is formed on the germanium substrate 92. The above-mentioned relaxed layer 23 is n - It consists of silicon germanium (Si<sub>0.7</sub> germanium<sub>0.3</sub>) with which the stress of type (or p-) is eased, for example, is formed in the thickness of about 0.6 micrometers. In addition, the composition ratio of germanium is not limited to the above-mentioned value, and is chosen suitably. Moreover, the strain effect silicon layer 24 is the same as that of what was explained by aforementioned drawing 1. The semiconductor substrate 91 is constituted like the above.

[0088] In the above-mentioned semiconductor substrate 91, since the germanium substrate 92 is used, it is possible to form the relaxed layer 23 which consists of a silicon germanium layer by which stress is eased directly, without forming a buffer layer on the germanium substrate 92. That is, since grid mismatching cannot occur easily between the germanium substrate 92 and the relaxed layer 23, it becomes possible to adopt the above-mentioned composition. Therefore, the structure of the

semiconductor substrate 91 is simplified and the process which forms this semiconductor substrate 91 is also simplified.

[0089] Next, the above-mentioned semiconductor substrate 91 can form in the strain effect silicon layer 24 of the semiconductor substrate 91 the field-effect transistor 1 explained by aforementioned drawing 1 using the semiconductor substrate 91 explained by above-mentioned drawing 12 instead of the aforementioned semiconductor substrate 11 explained by aforementioned drawing 1. Moreover, it is also possible to form in the strain effect silicon layer 24 of the semiconductor substrate 91 the semiconductor device 5 explained by aforementioned drawing 5 using the semiconductor substrate 91 explained by above-mentioned drawing 12 instead of the aforementioned semiconductor substrate 11 explained by aforementioned drawing 5.

[0090]

[Effect of the Invention] As mentioned above, since the source drain is formed only in the strain effect silicon layer which is a semiconductor layer which has the strain effect according to the field-effect transistor of this invention as explained, junction of a source drain exists in the strain effect silicon layer. Therefore, since generating of junction leak stops being able to occur easily while being able to aim at improvement in the mobility of a transistor, it becomes possible to aim at improvement in a transistor performance.

[0091] Since the source drain of a field-effect transistor is formed only in the strain effect silicon layer which is a semiconductor layer which has the strain effect according to the manufacture method of the field-effect transistor of this invention, junction of a source drain can be formed only in the strain effect silicon layer. Therefore, generating of junction leak can be suppressed.

[0092] Since the source drain of a p-channel type field-effect transistor and the source drain of an n channel type field-effect transistor are formed only in the strain effect silicon layer which is a semiconductor layer which has the strain effect according to the semiconductor device of this invention, junction of each source drain exists in the strain effect silicon layer. Therefore, since generating of junction leak stops being able to occur easily while being able to aim at improvement in the mobility of a transistor, it becomes possible to aim at improvement in a transistor performance. Moreover, it becomes the conventional CMOS structure and almost equivalent structure from each source drain being formed in the one strain effect silicon layer. Therefore, structure becomes easy.

[0093] since the source drain of a p-channel field-effect transistor and the source drain of an n channel field-effect transistor are formed only in the strain effect silicon layer which is a semiconductor layer which has the strain effect according to the manufacture method of the semiconductor device of this invention, junction of each source drain accepts it in the strain effect silicon layer, is boiled, and can be formed. Therefore, generating of junction leak can be suppressed. Moreover, since each source drain is formed in the one strain effect silicon layer and it is not necessary to manufacture the channel cambium corresponding to each source drain, simplification of a manufacture process can be attained.

[0094] Since according to the logical circuit of this invention the strain effect silicon layer is formed in the upper layer of a semiconductor substrate and the source drain of each field-effect transistor is formed only in the strain effect silicon layer, junction of each source drain exists in the strain effect silicon layer. Therefore, since generating of junction leak stops being able to occur easily while being able to aim at improvement in the mobility of a transistor, it becomes possible to aim at improvement in a transistor performance. Moreover, it becomes the conventional CMOS structure and almost equivalent structure from the source drain of each field-effect transistor being formed in the one strain effect silicon layer. Therefore, structure becomes easy.

[0095] According to the semiconductor substrate of this invention, since the germanium substrate is used, it becomes possible to form the relaxed layer which consists of a silicon germanium layer by which stress is eased directly, without forming a buffer layer on a germanium substrate. That is, since grid mismatching cannot occur easily between a germanium substrate and a relaxed layer, it becomes possible to adopt the above-mentioned composition. Therefore, the process which can simplify the structure of a semiconductor substrate and forms a semiconductor substrate can be simplified.



[Translation done.]